

# ADB Filter za Eliminaciju Harmonika u Frekvencijski Zaključanim Petljama

Zorana Mandić, Nikola Kukrić, Tijana Begović, Marko Ikić, Srđan Lale, Slobodan Lubura

Elektrotehnički fakultet

Univerzitet u Istočnom Sarajevu

Istočno Sarajevo, Bosna i Hercegovina

zorana.mandic@etf.ues.rs.ba, nikola.kukric@etf.ues.rs.ba, tijana.begovic@etf.ues.rs.ba, marko.ikic@etf.ues.rs.ba, srdjan.lale@etf.ues.rs.ba, slobodan.lubura@etf.ues.rs.ba

**Sažetak**—Frekvencijski zaključane petlje, u kontekstu savremenih elektroenergetskih mreža, su bitni elementi pri sinhronizaciji pretvarača energetske elektronike. Međutim, osnovna struktura FLL pokazuje osjetljivost na prisustvo jednosmjerne komponente i viših harmonika u ulaznom signalu, što može izazvati oscilacije u estimiranim parametrima mreže. U radu se predstavlja nova modifikacija DC-FLL, otporna na prisustvo viših harmonika, uz primjenu *Adaptive Delay Bank* filtera za eliminaciju viših harmonika. Ova modifikacija posjeduje adaptivne karakteristike zahvaljujući estimiranoj frekvenciji na izlazu petlje, čime se postiže stabilnija i efikasnija sinhronizacija pretvarača s elektroenergetskom mrežom. Za ocjenu performansi izvršene su simulacije u Matlab/Simulink okruženju.

**Ključne riječi**— frekvencijski zaključane petlje, eliminacija harmonika, CDSC, ADB

## I. UVOD

Savremena elektroenergetska mreža se sve više oslanja na obnovljivu i održivu energiju koja dolazi od ekološki osviještenih izvora. Sa ovakvom tendencijom, bitno je obezbijediti stabilan način rada i pouzdano povezivanje na postojeću mrežu te se poseban akcenat stavlja na sinhronizaciju pretvarača energetske elektronike sa elektroenergetskom mrežom, gdje se fazno zaključane petlje (engl. *Phase-Locked Loops* – PLL) i frekvencijski zaključane petlje (engl. *Frequency-Locked Loops* – FLL) [1], izdvajaju kao najzastupljenije. Sem sinhronizacije pretvarača sa mrežom, FLL imaju široku primjenu u: dizajniranju frekvencijski-adaptivnih rezonantnih upravljača [2], estimaciji fluksa u cilju upravljanja električnim motorima [3], estimaciji elektromehaničkih oscilacija [4], estimaciji snaga potrošača [5] i drugim. Ipak, osnovna struktura FLL posjeduje značajnu osjetljivost na prisustvo jednosmjerne komponente [6], [7] i viših harmonika u ulaznom signalu [8], [9] što dovodi do talasnosti u estimiranim parametrima mreže.

Eliminacija harmonika u FLL se može izvršiti implementacijom više paralelnih SOGI (engl. *Single Order Generalized Integrator*) blokova koji eliminišu pojedinačne komponente [1] te koristeći jedan ili više adaptivnih filtera propusnika opsega kao prefilter [10], kao i primjenom CDSC (engl. *Cascade Delayed Signal Cancellation*) tehnika [9], [11]. Kada je riječ o eliminaciji uticaja DC-ofseta na rad

sinhronizacionih petlji, postoje više pristupa: implementacijom nisko propusnog filtera za detekciju jednosmjerne komponente [12] kao i dodavanjem petlje za estimaciju i eliminaciju DC-ofseta [6], [7].

U ovom radu biće prikazana modifikacija DC-FLL [6], pomoću ADB (engl. *Adaptive Delay Bank*) filtera, koji je u [13] implementiran u PLL strukturi, kao tehnika za eliminaciju viših harmonika, sa adaptivnim karakteristikama zahvaljujući estimiranoj frekvenciji na izlazu petlje. Rad je organizovan na sljedeći način. U poglavlju II je opisana osnovna ADB struktura kao tip CDSC tehnika za eliminaciju viših harmonika, zajedno sa ograničenjima za primjenu u FLL. Potom je, u poglavlju III, predstavljena modifikacija ADB koja je kroz poglavlje IV implementirana u DC-FLL petlji. Simulacioni rezultati u cilju ocjene performansi poboljšane DC-FLL, kroz niz testova, su prikazani u poglavlju V.

## II. ADB STRUKTURA KAO CDSC

Tehnika DSC (engl. *Delayed Signal Cancellation*) vrši pomjeranje signala u vremenu, u svrhu eliminacije određene komponente signala. Zahvaljujući osobinama ove tehnike ona se koristi za određivanje negativnih i pozitivnih komponenti trofaznog sistema [14], [15], kao i u sinhronizacionim tehnikama na osnovu FLL [9], [11] i PLL [16]–[20]. Time se obezbjeđuje imunost pomenutih petlji na prisustvo viših harmonika u mreži. U opštem slučaju, ukoliko se manipulacija vrši nad periodičnim signalom (kao što je mrežni napon) operator  $DSC_n[\cdot]$  se može definisati na sljedeći način:  $DSC_n[v(t)] = [v(t) + v(t-T/n)]$ , gdje je  $v(t)$  signal nad kojim se vrše manipulacije,  $T$  osnovni period signal,  $n$  dio osnovnog perioda za koji se vrši pomjeranje signala  $v(t)$ . U opštem slučaju napon mreže, koji sadrži harmonike i DC-ofset, se može zapisati:  $v(t) = \sum_{h=0}^{\infty} v^h(t) = \sum_{h=0}^{\infty} V^h \sin(h\omega t + \varphi^h)$ , gdje su  $h$  red harmonika,  $V^h$  i  $\varphi^h$  amplituda i faza  $h$ -tog harmonika te  $\omega$  kružna frekvencija osnovnog harmonika ( $h = 0$  predstavlja DC-ofset). Pretpostavljajući da mrežni napon sadrži  $h$ -ti harmonik,  $V^h \sin(h\omega t + \varphi^h)$ , te primjenjujući  $DSC_n$  operator gdje je  $n = 2h$  i  $T = 2\pi/\omega$ , dobija se:

$$DSC_{n=2h} \left[ v^h(t) \right] = v^h(t) - v^h \left( t - \frac{T}{2h} \right) = V^h \sin(h\omega t + \varphi^h) + V^h \sin(h\omega t - \pi + \varphi^h) \quad (1)$$

Koristeći trigonometrijske adicione teoreme (transformacija zbira dva sinusna signala u proizvod),  $\sin\alpha + \sin\beta = 2\sin[(\alpha + \beta)/2]\cos[(\alpha - \beta)/2]$ , dobija se:

$$DSC_{n=2h}[v^h(t)] = 2V^h \sin(h\omega t + \varphi^h) \underbrace{\cos\left(\frac{\pi}{2}\right)}_0 = 0. \quad (2)$$

Iz prethodne jednačine, može se zaključiti da je uspješno eliminisan  $h$ -ti harmonik u slučaju kada je  $n = 2h$ .

Kaskadnim vezivanjem  $m$   $DSC_n[\cdot]$  operatora, dobija se CDSC, čime se vrši serijska eliminacija ukupno  $m$  harmonika, čiji je blok dijagram prikazan na Sl. 1, gdje je veza između DSC operatora i  $h$ -tog harmonika čija se eliminacija vrši  $n_m = 2h$ .

Kao jedna od osnovnih struktura CDSC, izdvaja se ADB struktura, koja osim ulaznog signala čije se filtriranje vrši sadrži i estimiranu frekvenciju ulaznog signala. Estimirana frekvencija je frekvencija osnovnog harmonika, na osnovu koje se određuje osnovni period  $T$ , koji direktno određuje vremensku zadržku DSC operatora sadržanih u ADB strukturi.

ADB zahtjeva estimiranu frekvenciju kao ulazni signal za filtraciju, što je čini pogodnom za implementaciju sa DC-FLL, čiji je jedan od izlaznih signala petlje upravo estimirana frekvencija ulaznog signala. DC-FLL zadržava osjetljivost na više harmonike te ADB čini pogodnu strukturu za eliminaciju mogućih harmonika u naponu mreže. Potrebno je uzeti u obzir uticaj koji CDSC, a samim tim i ADB, imaju nad amplitudom i fazom osnovnog harmonika, što će biti analizirano u nastavku.

Neka se ADB struktura sastoji od ukupno  $m$  DSC operatora od kojih svaki vrši eliminaciju po jednog harmonika, gdje je ulazni signal svakog bloka izlazni signal prethodnog. Svaki od DSC operatora će uticati na amplitudu i fazu osnovnog harmonika do čijeg uticaja se može doći posmatrajući izlazni signal DSC operatora koji eliminiše  $h$ -ti harmonik:

$$\begin{aligned} DSC[v(t)] &= DSC\left[v_{h-1}^1(t) + v^h(t) + \sum_{k=h+1}^m v^k(t)\right] \\ &= DSC[v_{h-1}^1(t)] + \underbrace{DSC[v^h(t)]}_{=0} + \sum_{k=h+1}^m DSC[v^k(t)]. \end{aligned} \quad (3)$$

Relacijom (1) je opisana uspješna eliminacija  $h$ -tog harmonika, te je član  $DSC[v^h(t)]$  jednak 0. Uticaj DSC operatora na osnovni harmonik sadržan je u izrazu  $DSC[v_{h-1}^1(t)]$ , koji u razvijenom obliku može biti zapisan na

sljedeći način:

$$DSC[v_{h-1}^1(t)] = V_{h-1}^1 \sin(\omega t + \varphi_{h-1}^1) + V_{h-1}^1 \sin\left(\omega t - \frac{\pi}{h} + \varphi_{h-1}^1\right), \quad (4)$$

gdje su  $V_{h-1}^1$  i  $\varphi_{h-1}^1$  amplituda osnovnog harmonika signala koji je doveden na blok za eliminaciju  $h$ -tog harmonika, ujedno i izlazni signal bloka za eliminaciju  $(h-1)$ -tog harmonika.

Kao što je urađeno pri izvođenju relacije (1), primjenjujući adicijonu trigonometrijsku teoremu, dobija se izraz:

$$DSC[v_{h-1}^1(t)] = 2\cos\left(\frac{\pi}{2h}\right) V_{h-1}^1 \sin(\omega t - \pi/2h + \varphi_{h-1}^1). \quad (5)$$

Iz prethodnog izraza može se zaključiti da se prolaskom kroz DSC blok za eliminaciju  $h$ -tog harmonika, amplituda osnovnog harmonika ulaznog signala se množi  $A_h = 2\cos(\pi/2h)$  koeficijentom, a faza pomjera za  $\Delta\varphi_h = \pi/2h$ .

Može se zaključiti da će osnovni harmonik izlaznog signala ADB filtera, koji se u opštem slučaju sastoji od  $m$  blokova DSC, biti jednak:

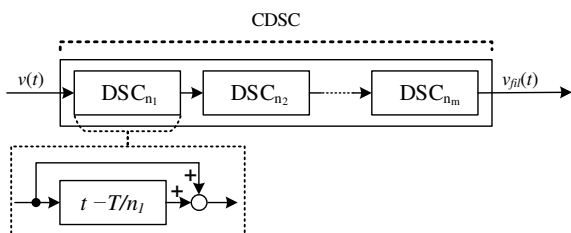
$$v^1(t) = A_m V_1^1 \sin(\omega t + \varphi_1^1 - \Delta\varphi_m). \quad (6)$$

Sa  $A_m$  je označen koeficijent množenja amplitude osnovnog harmonika ulaznog nefiltriranog signala, a sa  $\Delta\varphi_m$  fazni pomjeraj osnovnog harmonika nakon  $m$  serijski vezanih DSC blokova. Vrijednosti ovih veličina se mogu zapisati na osnovu (5) i jednake su:

$$\begin{aligned} A_m &= \prod_{h=2}^m \left[ 2\cos\left(\frac{\pi}{2h}\right) \right], \\ \Delta\varphi_m &= \sum_{h=2}^m \frac{\pi}{2h} \end{aligned} \quad (7)$$

U elektroenergetskim sistemima često je prisustvo harmonika neparnog reda, kao što su peti, sedmi, jedanaesti, trinaesti, i drugi, koji mogu biti posljedica diodnih ispravljača. Harmonici parnog reda, takođe, mogu biti uzrokovani nelinearnim opterećenima [20]. Ne umanjujući opštost na Sl. 2 predstavljena je šema ADB strukture koja eliminiše drugi, treći, četvrti i peti harmonik, gdje su naznačeni i vremenske zadržke za svaki od DSC blokova koji je korišten. Na osnovu (7) može se odrediti koeficijent množenja amplitude i pomjeraj faze ulaznog signala na samom izlazu ADB strukture, čije vrijednosti su date u Tabeli 1.

Na osnovu (7) i podataka predstavljenih u Tabeli 1, zaključuje se da svaki blok za eliminaciju harmonika množi amplitudu osnovnog harmonika, gdje je ukupan koeficijent množenja nakon  $m$  serijski vezanih blokova dat jednačinom  $A_m$ . Takođe, faza prvog harmonika se mijenja za ugao  $\Delta\varphi_m$  izražen u radijanima, odnosno pomjera se za  $t_m \text{ delay}$ , nakon prolaska kroz  $m$  serijski vezanih blokova. Svaki pojedinačni blok donosi pomjeraj za  $\pi/2h$ , dok je pomjeraj signala na izlazu  $v_{fil}^1(t)$  u odnosu na ulazni nefiltrirani signal dat jednakošću (7) i predstavljen u Tabeli 1.



Slika 1. CDSC struktura sačinjena od  $m$  DSC operatora

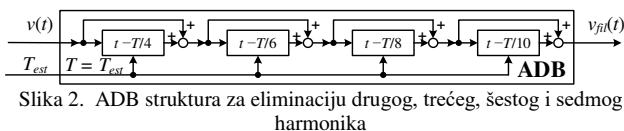
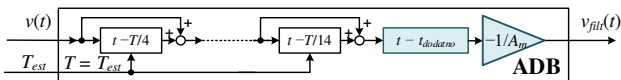


TABELA I. KOEFICIJENTI U ZAVISNOSTI OD REDA HARMONIKA

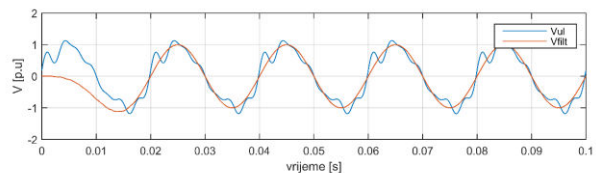
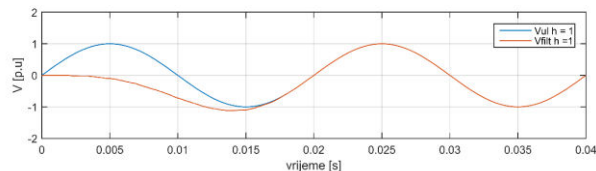
	Red harmonika					
	2	3	4	5	6	7
$A_h$ [-]	1.4142	1.7321	1.8478	1.9021	1.9319	1.9499
$\Delta\phi_h$ [rad]	0.7854	0.5236	0.3927	0.3142	0.2618	0.2244
$A_m$ [-]	1.414	2.449	4.526	8.609	16.631	32.429
$\Delta\phi_m$ [rad]	0.7854	1.309	1.702	2.016	2.278	2.5025
$t_m$ delay [ms]	2.5	4.167	5.417	6.417	7.25	7.964

### III. MODIFIKOVANA ADB

Već je naglašeno da ADB struktura može biti korišćena za filtraciju ulaznog signala DC-FLL u cilju eliminisanja viših harmonika. Ipak, u prijašnjoj analizi pokazano je da ova struktura vrši manipulacije nad amplitudom i fazom osnovnog harmonika što je kao takvu čini nepraktičnom za upotrebu u DC-FLL. Neophodno je uvesti modifikacije nad osnovnom strukturom ADB sa Sl. 2, koji će omogućiti da je amplituda osnovnog harmonika nakon filtracije jednaka amplitudi nefiltriranog signala i da ne postoji razlika u faznim stavovima ova dva signala, što se vrši kroz dva koraka: –Amplitudu signala na izlazu ADB strukture neophodno je podijeliti sa faktorom  $A_m$  čime će se obezbijediti da su amplitude signala  $v(t)$  i  $v_{filt}(t)$  jednake. U slučaju kada se vrši eliminacija prvih sedam harmonika, taj faktor je dat u Tabeli 1 i iznosi  $A_m = 32.429$ , odnosno  $1/A_m = 3.083 \cdot 10^{-5}$ ; –Eliminacija faznog pomjeraja između  $v(t)$  i  $v_{filt}(t)$  vrši se dodatnim pomjeranjem prvog harmonika za ugao/vremenski interval  $\phi_{dodatno} = \pi - \Delta\phi_m$ , odnosno  $t_{dodatno} = T/2 - t_m$  delay, a zatim pomnožen sa  $-1$  (zbog dodatne rotacije odnosno harmonika za ugao  $\pi$ ). U ovom slučaju vrijednost je  $t_{dodatno} = 12.036$  ms. Na Sl. 3 prikazana je ova modifikovana struktura ADB pogodna za implementaciju u DC-FLL. U MATLAB/Simulink programskom okruženju izvršena je simulacija rada modifikovane ADB strukture sa ukupno pet blokova za eliminaciju drugog, trećeg, četvrtog, petog, šestog i sedmog harmonika, rezultati su prikazani na Sl. 4. Tokom simulacije za amplitudu i frekvenciju osnovnog harmonika uzeta je vrijednost  $V^1 = 1$  p.u., odnosno  $f = 50$  Hz, dok su vrijednosti amplituda ostalih harmonika jednake  $V^h = 0.1$  p.u. Jasno je da modifikovana struktura filtrira ulazni signal, čime se na izlazu javlja samo osnovni harmonik iste amplitude i faze kao i osnovni harmonik ulaznog signala. Sl. 4 potvrđuje podatke date u Tabeli 1.



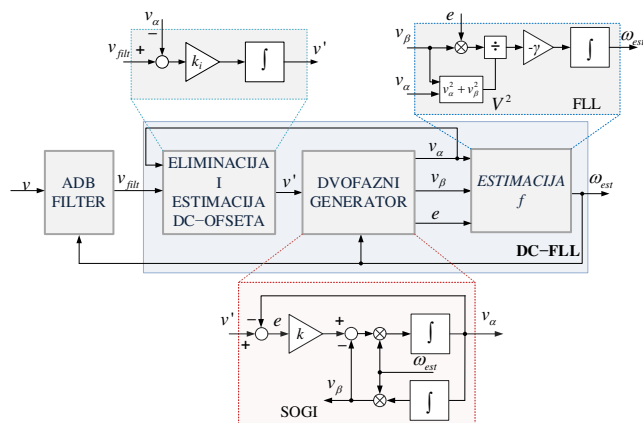
Slika 3. Modifikovana ADB struktura



Slika 4. Osnovni harmonik izlaznog signala modifikovane ADB strukture i osnovni harmonik ulaznog signala

### IV. DC-FLL SA ADB STRUKTUROM

DC-FLL [6], [5] uspješno eliminiše jednosmjernu komponentu, ali zadržava osjetljivost na prisustvo viših harmonika, te se implementacijom ADB i DC-FLL strukture dobija petlja uspješno estimirane parametre izobličnog ulaznog signala. Na Sl. 5 predstavljen je blok dijagram DC-FLL i ADB filtera, gdje su izdvojeni osnovni elementi petlje: dvofazni generator na bazi SOGI, blok za estimaciju frekvencije i blok za eliminaciju DC-ofseta. Sa  $v$  je označen ulazni signal, koji u opštem slučaju može da sadrži harmonike i DC-ofset, dok je sa  $v'$  označen signal gdje su eliminisane pomenute komponente signala. Dvofazni generator na izlazu daje dva signala u kvadraturi,  $v_\alpha$  signal iste amplitude i faze kao signal  $v'$  i  $v_\beta$ , njemu fazno pomjeren signal za  $-\pi/2$ . Sem toga na izlazu dvofaznog generatora dostupan je i signal greške  $e = v' - v_\alpha$ , koji zajedno sa signalom  $v_\beta$  predstavlja ulaze množača za estimaciju frekvencije.



Slika 5. DC-FLL sa osnovnim gradivnim blokovima i ADB filterom

Odabir parametra  $k$  zahtijeva kompromis između vremena preskoka i vremena ulaska u stacionarno stanje. Na osnovu odskočnog odziva linearizovanog modela dolazi se do parametara  $\gamma$  i  $k_i$ . Postupak podešavanja parametara je detaljno objašnjen u [5], a u Tabeli 2 su navedene optimalne vrijednosti za svaki od parametara.

TABELA II. PARAMETRI DC-FLL [5]

Parametar	Oznaka	Mjerna jedinica	Vrijednost
Pojačanje dvofaznog generatora	$k$	[-]	$\sqrt{2}$
Pojačanje estimatora $f$	$\gamma$	$[1/s^2]$	22214
Pojačanje estimatora DC-ofseta	$k_i$	[-]	69.5

### A. Simulacioni rezultati

U MATLAB/Simulink programskom okruženju izvršena je simulacija rada poboljšane DC-FLL koja sadrži i ADB filter. Vrijeme uzorkovanja je  $T_s = 10^{-5}$  s. Parametri petlje su dati u Tabeli 2, a za parametre modificiranog ADB filtera uzete su vrijednosti  $1/A_m = 3.083 \cdot 10^{-5}$  i  $t_{dodato} = 12.036$  ms.

Sproveden je niz testova za ocjenu performansi poboljšane DC-FLL u slučaju prisustva harmonika. Amplituda svakog od harmonika odabrana je kao maksimalna dozvoljena vrijednost na osnovu IEC standarda [21] i predstavljena je u Tabeli 3. Vrijednost DC-ofseta u svakom od sprovedenih testova je jednaka  $V_{DC} = 0.1$  p.u. Notacija napona  $v$ ,  $v_{filt}$  i  $v'$  je preuzeta sa Sl. 5

TABELA III. AMPLITUDE HARMONIKA KORIŠĆENIH U SIMULACIJI

	Red harmonika					
	2	3	4	5	6	7
Amplituda [p.u.]	0.02	0.05	0.01	0.06	0.005	0.05

#### 1) Stacionarno stanje

U ovom testu, analizirano je ponašanje DC-FLL bez ADB filtera (Sl. 6 a) na ulazu petlje i sa ADB filterom (Sl. 6 b). Sa Sl. 6 a) može se zaključiti da petlja neuspješno estimira amplitudu i frekvenciju ulaznog signala. Obje estimirane vrijednosti imaju značajnu talasnost koja je posljedica prisustva viših harmonika, a amplituda direktno zavisi od amplitude harmonika. U ovom slučaju, petlja uspješno eliminiše DC-ofset dok propušta više harmonike, što se može vidjeti na prvom grafiku Sl. 6 a). Implementirajući ADB filter, eliminisani su

viši harmonici (signal  $v_{filt}$  na Sl. 6 b), te tako ulazni signal petlje sadrži samo DC-ofset koji uspješno eliminiše  $v'$  te estimirane vrijednosti frekvencije i amplitude su bez talasnosti. Treba napomenuti da jednosmjerna komponenta prolaskom kroz svaki blok ADB filter se množi sa 2 u odnosu na prethodnu vrijednost, a zatim i sa vrijednošću  $-1/A_m$ . Tako je jednosmjerna komponenta signala  $v_{filt}$ , u slučaju  $m = 6$  blokova, jednaka  $-2^m V_{DC} / A_m = -0.19735$ , što je vidljivo i sa Sl. 6 b).

#### 2) Skokovita promjena frekvencije

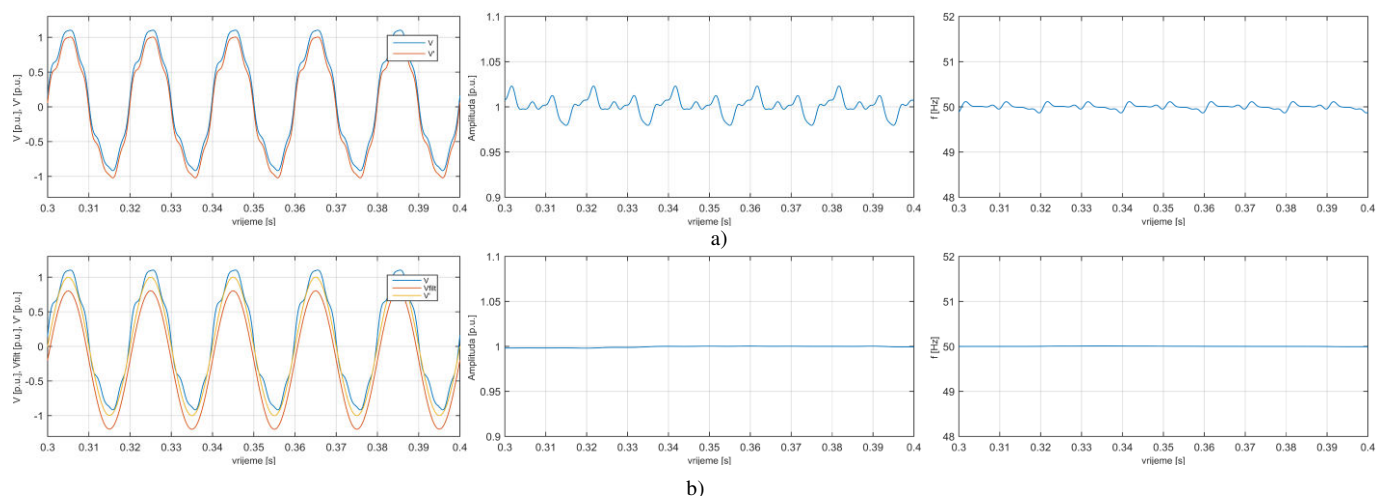
Drugi test je sproveden u cilju ocjene rada poboljšane petlje pri skokovitoj promjeni frekvencije ulaznog signala, u slučaju da je signal zagađen višim harmonicima i DC-ofsetom. Skokovita promjena frekvencije se desila u trenutku  $t = 0.5$  s sa 50 Hz na 48 Hz. Na Sl. 7 predstavljeni su naponi  $v$ ,  $v_{filt}$  i  $v'$ , estimirana frekvencija i amplituda. Sa grafika estimirane frekvencije može se zaključiti da estimirana frekvencija prati uvedenu skokovitu promjenu te da u stacionarnom stanju ne sadrži talasnost. Estimirana amplituda, nakon ulaska u stacionarno stanje, takođe ne sadrži talasnost i ostaje na vrijednosti 1 p.u.

#### 3) Skokovita promjena amplitude

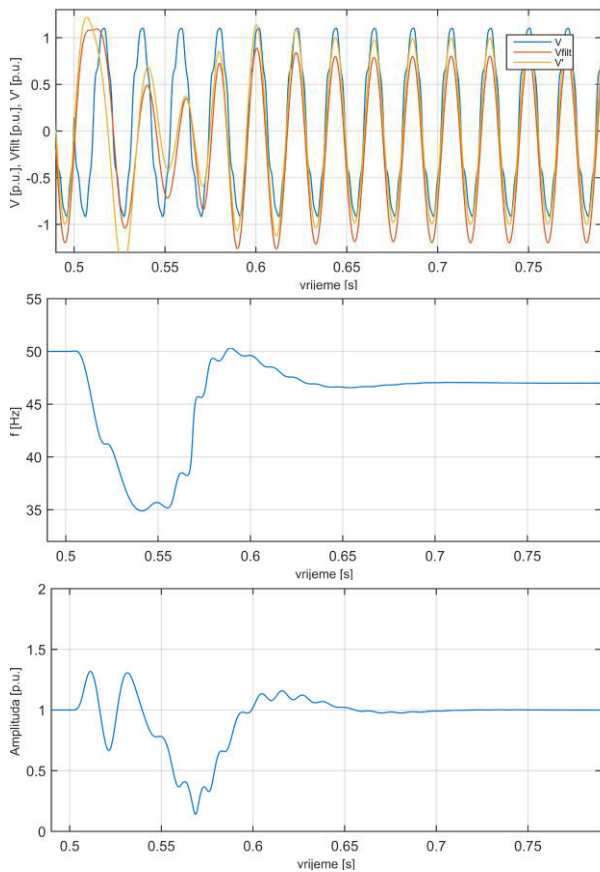
Odziv poboljšane petlje u slučaju skokovite promjene amplitude osnovnog harmonika sa 1 p.u. na vrijednost 0.9 p.u. analiziran je u trećem testu koji je prikazan na Sl. 8. Skokovita promjena amplitude se desila u trenutku  $t = 0.5$  s. Rezultati prikazani na Sl. 8 pokazuju da u ovom slučaju petlja uspješno prati skokovitu promjenu amplitude. Kada amplituda osnovnog harmonika doživi skokovitu promjenu, estimacija frekvencije se uspješno odvija, što je prikazano i na slici. Nakon prolaska kroz ADB filter i petlje za eliminaciju jednosmjerne komponente, signal  $v'$  predstavlja osnovni harmonik ulaznog signala (žuti signal na Sl. 8)

#### 4) Skokovita promjena amplitude i frekvencije

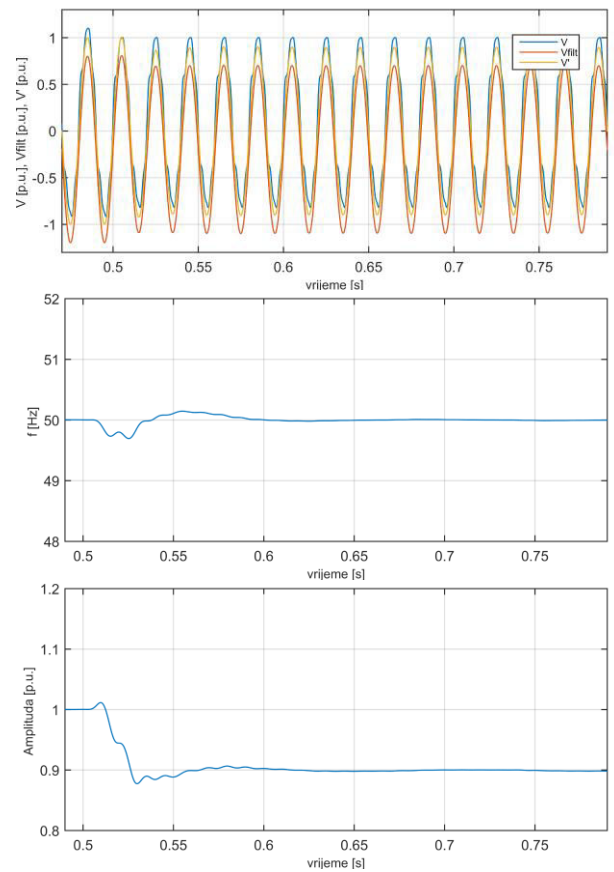
Kombinacijom drugog i trećeg testa izvršena je ocjena rada petlje u slučaju skokovite promjene amplitude osnovnog harmonika i frekvencije u trenutku  $t = 0.5$  s. Rezultati simulacije su prikazani na Sl. 9. I u slučaju udruženih



Slika 6. a) Napon  $v$  (ulaz DC-FLL) i  $v'$  (nakon eliminacije DC-ofseta), estimirane amplituda i frekvencija u stacionarnom stanju bez ADB filtera, b) Napon  $v$  (ulaz ADB),  $v_{filt}$  (ulaz DC-FLL) i  $v'$  (nakon eliminacije DC-ofseta), estimirane amplituda i frekvencija u stacionarnom stanju sa ADB filtera



Slika 7. Odzivi modifikovane DC-FLL pri skokovitoj promjeni frekvencije sa 50 Hz na 48 Hz



Slika 8. Odzivi modifikovane DC-FLL pri skokovitoj promjeni amplitude sa 1.0 p.u. na 0.9 p.u.

skokovitim promjenama parametara ulaznog signala, poboljšana petlja vrši uspješnu estimaciju parametara. Estimirana frekvencija i amplituda prate skokovite promjene uvedene nad ulaznim signalom.

#### ZAKLJUČAK

ADB filteri uspješno eliminišu niz viših harmonika iz ulaznog signala, pri čemu modifikuju amplitudu i fazni stav osnovnog harmonika. Modifikacijom osnovne strukture, gdje se eliminišu razlike između osnovnog harmonika ulaznog i izlaznog signala, dobija se struktura pogodna za implementaciju u DC-FLL. ADB je posebno pogodna za implementaciju u FLL, koje direktno na izlazu estimiraju frekvenciju, koja je potrebna za adaptivnost ADB filtera, za razliku od PLL, koje zahtijevaju više resursa. Rad modifikovane DC-FLL je analiziran kroz niz testova u MATLAB/Simulink okruženju koji su pokazali zadovoljavajuće performanse petlje.

#### ZAHVALNICA

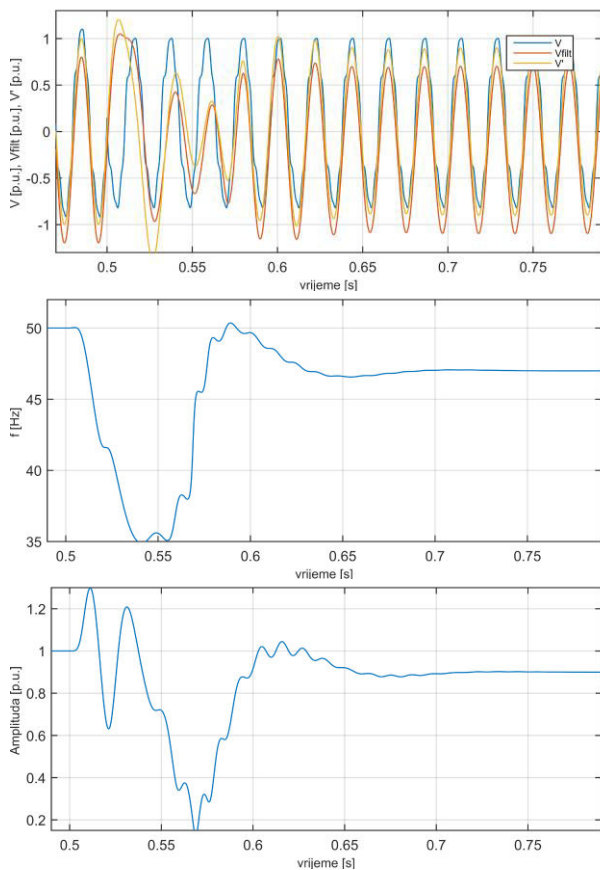
Istraživanje koje je proizvelo naučni rad je finansijski podržano od strane Evropske unije kroz projekt "Uvođenje studentskih istraživačkih razmjena na bh. univerzitetima – INSTREAM" kojeg implementira konzorcij kojeg vodi Internacionalni Burč univerzitet, ali ne održava nužno stavove

Evropske unije ili Internacionalnog Burč univerziteta te su isključiva odgovornost autora.

#### LITERATURA

- [1] P. Rodriguez, A. Luna, I. Candela, R. Mujal, R. Teodorescu, and F. Blaabjerg, "Multiresonant Frequency-Locked Loop for Grid Synchronization of Power Converters Under Distorted Grid Conditions," *IEEE Trans. Ind. Electron.*, vol. 58, no. 1, pp. 127–138, Jan. 2011, doi: 10.1109/TIE.2010.2042420.
- [2] S. Golestan, E. Ebrahimzadeh, J. M. Guerrero, and Juan. C. Vasquez, "An Adaptive Resonant Regulator for Single-Phase Grid-Tied VSCs," *IEEE Trans. Power Electron.*, vol. 33, no. 3, pp. 1867–1873, Mar. 2018, doi: 10.1109/TPEL.2017.2736945.
- [3] W. Xu, Y. Jiang, C. Mu, and F. Blaabjerg, "Improved Nonlinear Flux Observer-Based Second-Order SOFO for PMSM Sensorless Control," *IEEE Trans. Power Electron.*, vol. 34, no. 1, pp. 565–579, Jan. 2019, doi: 10.1109/TPEL.2018.2822769.
- [4] M. Mansouri, M. Mojiri, M. A. Ghadiri-Modarres, and M. Karimi-Ghartemani, "Estimation of Electromechanical Oscillations From Phasor Measurements Using Second-Order Generalized Integrator," *IEEE Trans. Instrum. Meas.*, vol. 64, no. 4, pp. 943–950, Apr. 2015, doi: 10.1109/TIM.2014.2365401.
- [5] Z. Mandić, N. Kukrić, S. Lale, B. Popović, D. Jokić, and S. Lubura, "Power Calculations by Using Enhanced Frequency-Locked Loops," in *2023 22nd International Symposium on Power Electronics (Ee)*, Novi Sad, Serbia: IEEE, Oct. 2023, pp. 01–06. doi: 10.1109/Ee59906.2023.10346156.
- [6] Z. Mandić, D. Jokić, and S. Lubura, "Primjena DC-FLL u elektronskim brojlama za mjerenje električne energije," presented at the LXVII ETRAN, Istočno Sarajevo, pp. 1–6. [Online]. Available:





Slika 9. Odzivi modifikovane DC-FLL pri skokovitoj promjeni amplitude sa 1.0 p.u. na 0.9 p.u. i frekvencije sa 50 Hz na 48 Hz

[https://www.etrans.rs/2023/E\\_ZBORNIK\\_ETRAN\\_2023/ETRAN23\\_RADOVIAU1.4.pdf](https://www.etrans.rs/2023/E_ZBORNIK_ETRAN_2023/ETRAN23_RADOVIAU1.4.pdf)

- [7] T. Ngo, Q. Nguyen, and S. Santoso, "Improving performance of single-phase SOGI-FLL under DC-offset voltage condition," in *IECON 2014 - 40th Annual Conference of the IEEE Industrial Electronics Society*, Dallas, TX, USA: IEEE, Oct. 2014, pp. 1537–1541. doi: 10.1109/IECON.2014.7048706.
- [8] T. Uzzaman, U. Kim, and W. Choi, "A Novel Frequency Locked Loop With Current Harmonic Elimination Method for the Three-Phase Grid-Connected Inverter," *IEEE Access*, vol. 10, pp. 32870–32878, 2022, doi: 10.1109/ACCESS.2022.3160743.
- [9] P. Šimek and V. Valouch, "Cascaded Delayed Signal Cancellation Based Pre-Filtering Technique to Improve Frequency Locked Loop for Grid Synchronization," in *2019 International Conference on Electrical Drives & Power Electronics (EDPE)*, Slovakia, 2019, pp. 391–396. doi: 10.1109/EDPE.2019.8883930.
- [10] J. Matas, M. Castilla, J. Miret, L. Garcia De Vicuna, and R. Guzman, "An Adaptive Prefiltering Method to Improve the Speed/Accuracy Tradeoff of Voltage Sequence Detection Methods Under Adverse Grid Conditions," *IEEE Trans. Ind. Electron.*, vol. 61, no. 5, pp. 2139–2151, May 2014, doi: 10.1109/TIE.2013.2274414.
- [11] P. Rodríguez, A. Luna, R. S. Muñoz-Aguilar, I. Etxeberria-Otadui, R. Teodorescu, and F. Blaabjerg, "A Stationary Reference Frame Grid Synchronization System for Three-Phase Grid-Connected Power Converters Under Adverse Grid Conditions," *IEEE Trans. Power Electron.*, vol. 27, no. 1, pp. 99–112, Jan. 2012, doi: 10.1109/TPEL.2011.2159242.
- [12] A. Kherbachi, A. Chouder, A. Bendib, K. Kara, and S. Barkat, "Enhanced structure of second-order generalized integrator frequency-

locked loop suitable for DC-offset rejection in single-phase systems," *Electr. Power Syst. Res.*, vol. 170, pp. 348–357, May 2019, doi: 10.1016/j.epsr.2019.01.029.

- [13] S. Lubura, M. Soja, S. Lale, M. Ristic, and M. Ikić, "Adaptive delay bank filter for selective elimination of harmonics in SRF-PLL structures," in *2015 IEEE 15th International Conference on Environment and Electrical Engineering (EEEIC)*, Rome, Italy: IEEE, Jun. 2015, pp. 308–312. doi: 10.1109/EEEIC.2015.7165178.
- [14] J. Svensson, M. Bongiorno, and A. Sannino, "Practical Implementation of Delayed Signal Cancellation Method for Phase-Sequence Separation," in *IEEE Transactions on Power Delivery*, Jan. 2007, pp. 18–26. doi: 10.1109/TPWRD.2006.881469.
- [15] H. Souza, F. Neves, M. Cavalcanti, E. Bueno, and M. Rizo, "Frequency adaptive phase-sequence separation method based on a generalized delayed signal cancellation method," in *2009 IEEE Energy Conversion Congress and Exposition*, San Jose, 2009, pp. 568–572. doi: 10.1109/ECCE.2009.5316469.
- [16] S. Gude and C.-C. Chu, "Single-Phase Multiple Delayed Signal Cancellation Filter-Based Enhanced Phase-Locked Loop for Accurate Estimations of Grid Voltage Information," in *2018 IEEE Energy Conversion Congress and Exposition (ECCE)*, Portland, OR, USA, 2018, pp. 5664–5669. doi: 10.1109/ECCE.2018.8557781.
- [17] S. Golestan, M. Ramezani, J. M. Guerrero, and M. Monfared, "dq-Frame Cascaded Delayed Signal Cancellation- Based PLL: Analysis, Design, and Comparison With Moving Average Filter-Based PLL," *IEEE Trans. Power Electron.*, vol. 30, no. 3, pp. 1618–1632, Mar. 2015, doi: 10.1109/TPEL.2014.2315872.
- [18] S. Wang, A. Etemadi, and M. Doroslovački, "Adaptive cascaded Delayed Signal Cancellation PLL for three-phase grid under unbalanced and distorted condition," *Electr. Power Syst. Res.*, vol. 180, p. 106165, Mar. 2020, doi: 10.1016/j.epsr.2019.106165.
- [19] F. Sevilmiş, H. Karaca, and H. Ahmed, "High-Order Delayed Signal Cancellation-Based PLL Under Harmonically Distorted Grid Voltages," *IEEE Trans. Instrum. Meas.*, vol. 72, pp. 1–9, 2023, doi: 10.1109/TIM.2023.3298411.
- [20] Y. F. Wang and Y. W. Li, "Grid Synchronization PLL Based on Cascaded Delayed Signal Cancellation," in *IEEE Transactions on Power Electronics*, Jul. 2011, pp. 1987–1997. doi: 10.1109/TPEL.2010.2099669.
- [21] M. McGranaghan and G. Beaulieu, "Update on IEC 61000-3-6: Harmonic Emission Limits for Customers Connected to MV, HV, and EHV," in *2005/2006 PES TD*, Dallas, TX, USA: IEEE, 2006, pp. 1158–1161. doi: 10.1109/TDC.2006.1668668.

## ABSTRACT

Frequency-locked loops, in the context of modern electric power grids, are essential elements in the synchronization of power electronic converters. However, the basic structure of FLLs demonstrates sensitivity to the presence of direct current components and higher harmonics in the input signal, which can induce oscillations in the estimated network parameters. This paper introduces a new modification of DC-FLL, resilient to the presence of higher harmonics, employing an Adaptive Delay Bank filter to eliminate higher harmonics. This modification possesses adaptive characteristics due to the estimated frequency at the loop output, resulting in a more stable and efficient synchronization of converters with the electric power grid. Simulations were conducted in the Matlab/Simulink environment to assess the performance.

## ADB FILTER FOR ELIMINATING HARMONICS IN FREQUENCY-LOCKED LOOPS

Zorana Mandić, Nikola Kukrić, Tijana Begović, Marko Ikić, Srđan Lale, Slobodan Lubura