

Opis AD9248 konvertora, testiranje njegove brzine i tačnosti pri prikupljanju podataka mrežnog signala

Milica Ristović Krstić, Slobodan Lubura

Elektrotehnički fakultet

Univerzitet u Istočnom Sarajevu

Istočno Sarajevo, Republika Srpska

milica.ristovic@etf.ues.rs.ba, slobodan.lubura@etf.ues.rs.ba

Tatjana Nikolić

Elektronski fakultet

Univerzitet u Nšu

Niš, Republika Srbija

tatjana.nikolic@elfak.ni.ac.rs

Sažetak— U ovom radu opisan je AD konvertor sa integriranim AD9248 čipom, objašnjen njegov princip rada i izvedena njegova praktična realizacija. Prikazana je električna šema konvertora, opisan način povezivanja i upravljačka logika između same kontrolne ploče i AD konvertora. Na kraju je izvršeno testiranje AD konvertora koje podrazumijeva dovođenje ulaznog analognog signala na ulaz AD konvertora, obradu signala na FPGA kolu (eng. Field Programmable Gate Arrays), njegovu DA konverziju, čiji se rezultat prikazuje na osciloskopu.

Ključne riječi—FPGA; A/D konverzija; AD konvertor

I. UVOD

Opšte je poznato da se strukture i algoritmi za filtriranje signala danas uglavnom implementiraju na digitalnom hardveru. Kao digitalni hardver u ovom istraživačkom radu je korišćeno FPGA kolo. FPGA spada u vrstu programabilnih kola na kome mogu da se realizuju različite digitalne strukture (upravljačke strukture/algoritmi) koje mogu biti isprogramirani/reprogramirani izvan mjesta proizvodnje. FPGA kolo u ovom radu smješteno je na Altera DE2 ploču, i taj harver je korišćen za realizaciju digitalnog PLL kola koje služi za sinhronizaciju mrežnog napona sa naponom na fononaponskom invertoru [1-2]. Naime, napon mreže se prihvata, skalira, a zatim dovodi na ulaz AD konvertora, diskretni signal sa AD konvertora koji predstavlja napon mreže je ulazni signal diskretne PLL strukture koja je implementirana na FPGA kolu.

U praktičnom dijelu ovog rada prije svega je testirana tačnost konverzije i to tako što se na ulaz AD konvertora dovodio jednosmjerni napon u opsegu od -1V do 1V, a zatim je posmatran izlaz DA konvertora, te su poredene ove vrijednosti. Takođe, ulazni jednosmjerni napon, nakon konverzije u 14-o bitni binarni broj, služio je kao kontrolni signal za uključivanje LED dioda na FPGA ploči, što je opet služilo kao kontrola vijednosti preslikavanja ulaznog naponskog opsega u binarni sistem. Nakon toga, ispitivano je poklapanje signala generisanog na generatoru signala i signala dobijenog kao rezultat AD, a zatim i DA konverzije. Testirani su signali kvadraturnog i sinusnog oblika frekvenicije od nekoliko herca do nekoliko stotina kiloherca.

Izuzetno je važno da ulazni signal AD konvertora bude vjerna slika naponskog mrežnog signala sa jednosmjernom

komponentom, šumom i sl, jer je PLL koji se implementira na FPGA kolu, projektovan upravo tako da filtrira ovakve smetnje.

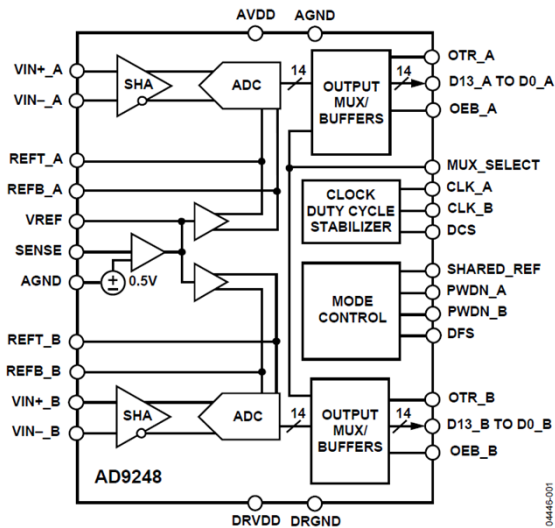
II. TEHNIČKE KARAKTERISTIKE AD 9248 ČIPA

AD9248 čip sadrži dvostruki 14-o bitni AD konvertor brzina 20MSPS/40MSPS/65MSPS. On posjeduje dva „uzorkuj i zadrži“ (engl. Sample and Hold Amplifier - SHA) pojačavača visokih performansi i integrirani referentni napon. AD9248 koristi višestepenu diferenciranu „cjevovod“ (engl. pipeline) arhitekturu sa korekcijom greške izlaznog signala da bi se osigurala 14-o bitna preciznost i garantovalo da nema pogrešnih kodova u okviru cijelog opsega radne temperature i da ima do 65MSPS brzinu prilikom odbiranja signala. Širina propusnog opsega, diferencijalni SHA omogućavaju raznolikost ulaznih opsega i ofseta, uključujući i jednostrane primjene. Pogodan je za različite primjene, uključujući multipleksne sisteme koji prebacuju pune opsege naponskih nivoa u uzastopne kanale, kao i za uzorkovanje ulaza na frekvencijama daleko iznad Nikvistove brzine.

Dvostruki jednostrani takti ulazi koriste se za upravljanje unutrašnjim ciklusima konverzije. Postoji i stabilizator faktora ispune koji može nadoknaditi velike varijacije faktora ispune, omogućujući konvertoru da održi izuzetne performanse. Digitalni izlazni podatak, predstavljen je, ili u jednostrukom binarnom, ili dvostrukom komplementalnom formatu. Signali izvan opsega ukazuju na stanje prepunjenosti, koje se može koristiti s bitom najveće težine za određivanje niskog ili visokog nivoa prepunjenosti. Funkcionalni blok dijagram datog čipa prikazan je na Sl. 1.

A. Opis rada

AD9248 čip sadrži dva AD konvertora visokih performansi koji su zasnovani na AD 9235 konvertorskom jezgru. Dvostruke magistrale AD konvertora su nezavisne, osim zajedničkog internog referentnog napona VREF. Svaka od magistrala AD konvertora sadrži odgovarajuće „uzorkuj i zadrži“ pojačavače (SHA), iza kojih slijedi prekidački kondenzator AD konvertora. Tok AD konverzije je podijeljen na tri dijela pa se sam konvertor sastoji od 4-o bitnog prvog



Slika 1. Funkcionalni blok dijagram [3]

stepena, zatim slijedi osam 1.5-o bitnih stepena i na kraju 3-o bitni „flash“ AD konvertor. Svaki stepen omogućuje dovoljna preklapanja kako bi se ispravile greške „flash“ konverzije iz prethodnog stepena. Kvantizovani izlazni signali iz svakog stepena se propuštaju kroz blok za diskretnu logičku korekciju i dobija se konačni 12-o bitni rezultat. Struktura „cjevovoda“ omogućava prvom stepenu da prima novi ulazni odbirak, dok preostali stepeni vrše operacije nad prethodnim odbircima. Odbiranje se odvija na rastuću ivicu odgovarajućeg taktog signala.

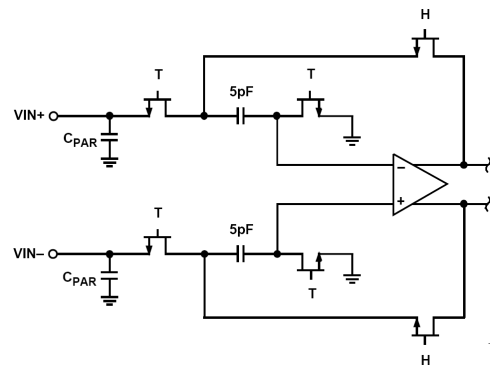
Svaki stepen „cjevovoda“, osim posljednjeg, sastoji se od „flash“ AD konvertora niske rezolucije i pojačavača koji vodi ka sljedećem stepenu „cjevovoda“. Pojačavač koristi izlaz „flash“ AD konvertora da upravlja prekidačkim kondenzatorom digitalno-analognog konvertora (DA), iste rezolucije. Izlaz DA konvertora se oduzima od ulaznog signala datog stepena i ostatak se pojačava (množi) kako bi se predao sljedećem stepenu „cjevovoda“. Stepenu pojačavanja ostatka se takođe zove i pojačavački DA konvertor (engl. Multiplying DAC - MDAC). Jedan preostali bit se koristi u svakom stepenu da omogući korekciju diskretnog signala neophodnu zbog grešaka nastalih u „flash“ konverziji. Posljednji stepen sadrži jednostavni „flash“ AD konvertor.

Ulazni stepen sadrži diferencijalni SHA koji se može konfigurisati kao naizmjenično ili istosmjerno spojen u diferencijalnom ili jednostranom režimu. Blok izlaznog stepena vrši poravnanje podataka, ispravlja greške i prosljeđuje podatak izlaznim baferima. Izlazni baferi se napajaju posebnim napajanjem dozvoljavajući podešavanja promjena izlaznog napona.

B. Analogni ulazi

Analogni ulaz AD 9248 čipa je diferencijalni, prekidački kondenzator SHA i projektuje se tako da se dobije optimalni učinak prilikom obrade ulaznog diferencijalnog signala. SHA ulaz prihvata ulazne signale širokog opsega u ustaljenom režimu rada. Za optimalni rezultat u ustaljenom režimu rada preporučeno je nominalni ulazni napon.

SHA ulaz je kolo sa diferencijalnim prekidačkim kondenzatorom. Na sl. 2 takti signal naizmjenično prebacuje SHA između režima zadržavanja i odbiranja signala. Kada je SHA u režimu odbiranja signala, izvor signala mora biti u stanju da napuni kondenzatore za odbiranje i zadržavanje tog stanja u trajanju jedne polovine taktog signala. Mali otpornik u seriji sa svakim ulazom može pomoći u smanjenju maksimalne prelazne struje koja se zahtijeva od izlaznog stepena izvedenog izvora. Takođe, mali ulazni kondenzatori se mogu staviti na ulaze da bi se obezbijedile dinamičke struje punjenja kondenzatora. Pasivna mreža stvara niskopropusni filter na ulazu AD konvertora, tako da precizne vrijednosti zavise od same primjene. U primjenama gdje je period odabiranja veći od perioda samog signala, svi ulazni kondenzatori se trebaju ukloniti. U kombinaciji sa impedansom ulaznog drajvera, oni ograničavaju širinu propusnog opsega ulaznog signala. Za što bolje dinamičke performanse impedansa izvora odakle se dovode VIN+ i VIN- trebala bi da se poklapa tako da greške u ustaljenom režimu rada budu simetrične. Ove greške se smanjuju odbacivanjem u ustaljenom režimu AD konvertora.



Slika 2. Ulaz sa prekidačkim kondenzatorom [3]

C. Ulazni takt

Uobičajeno brzi AD konvertori koriste obje ivice takta da generišu različite interne vremenske signale, a koji mogu biti osjetljivi na faktor ispunje tog taktog signala. Uglavnom se dozvoljava 5% tolerancije faktora ispunje taktog signala da bi se održavale dinamičke karakteristike.

AD9248 omogućava razdvajanje taktog signala za svaki kanal. Optimalne performanse se dostižu za izvore koji rade na taktim signalima istih frekvencija i faza. Asinhroni takt za različite kanale može u značajnoj mjeri da degradira performanse konvertora. U nekim primjenama je poželjno smicanje takta susjednih kanala. Ovo smicanje između kanala omogućavaju različiti takti ulazi AD9248 konvertora (obično je to smicanje za ± 1 ns), i to ne utiče značajno na degradaciju performansi.

Stabilizator faktora ispunje koristi zaključanu petlju sa zakašnjenjem u cilju kreiranja ivice. Kao rezultat, bilo koja promjena frekvencije odbiranja zahtijeva približno 2μ s do 3μ s da bi dopustila zaključanoj petlji da dostigne i uspostavi novu brzinu odbiranja.

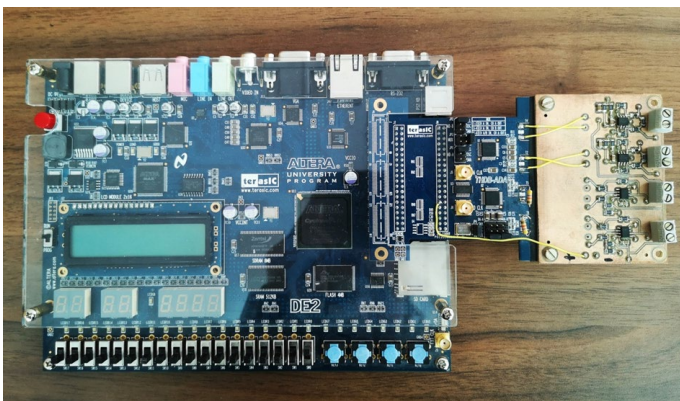
III. HARDVERSKE KOMPONENTE I REZULTATI TESTIRANJA

Da bi se signali dobijeni AD konverzijom obrađivali, neophodan je digitalni procesor. Kao što je u uvodnom dijelu rečeno korišćeni AD konvertor neophodan je za diskretizaciju sinusnog signala mrežnog napona koji predstavlja ulaz za diskretno PLL kolo. Cijela ova diskretna struktura implementirana je na FPGA procesoru. U ovom radu ispitivani su jednosmjerni naponski signali, naizmjenični sinusni i kvadrturni signali različitih frekvencija, pomoću diskretne strukture implementirane na FPGA kolu.

Moderna FPGA kola mogu sadržati elemente kao što su procesorska jezgra, ugrađena RAM memorija, itd. Programiraju se HDL (engl. Hardware description language) programskim jezicima od kojih su najpoznatiji VHDL (engl. VHSIC Hardware description language; eng. VHSIC – Very High Speed Integrated Circuit) i Verilog (standardizovan programski jezik IEEE 1364). Kodovi u ovim programskim jezicima se, pored pisanja u HDL editoru, mogu automatski generisati iz drugih programskih okruženja, kao što su MATLAB, Quartus i sl. U ovom radu korišten je program Quartus za projektovanje diskretnih struktura koje su služile za programiranje FPGA kola, a koje su prikupljale signale sa izlaza AD konvertora i slali ih na izlaze FPGA kola ili na izlaz DA konvertora.

Korišćeno je FPGA kolo koje iz porodice Cyclone II koje je smješteno na Altera DE2 ploču. AD 9428 čip o kome je riješ smješten je na Terasic AD/DA ploču [4]. Altera DE2 ploča, zajedno sa Terasic AD/DA pločom prikazana je na sl. 3. Na samu Terasic AD/DA ploču spojen je prilagodbeni modul, kako bi se ulazni i izlazni AD/DA ploče bili diferencijalni, te kako bi se mogli posmatrati na osciloskopu. Osciloskop kojim su se posmatrali signali je proizvođača Tektronix i ima mogućnost praćenja i snimanja signala brzine do 100MHz.

Za generisanje jednosmjernih napona, korišćen je napojna jedinica, dok je za generisanje kvadrturnih i sinusnih signala korišten generator funkcija.

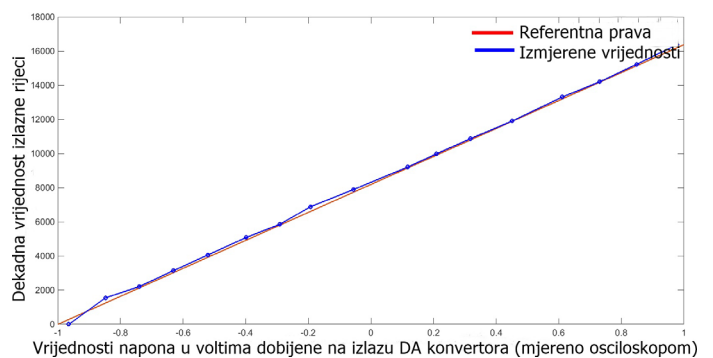


Slika 3. Altera DE2 ploča zajedno sa Terasic AD/DA pločom

U nastavku će biti predstavljeni rezultati testiranja predstavljenog AD konvertora. Naime, prvo je AD konvertor testiran tako što se na njegov ulaz dovodio jednosmjerni napon i to u rasponu od -1V do 1V. Ulazni napon je mjereno

voltmetrom i uz pomoć osciloskopa. Rezultantni izlazni signal AD konvertora od 14 bita prosljeđen je na izlaze FPGA ploče na koje su povezane LED diode (14 LED dioda). Istovremeno, signal dobijen na izlazu AD konvertora prosljeđuje se na ulaz DA konvertora i izlazni signal se mjeri voltmetrom i osciloskopom. Kako se mijenja ulazni napon od -1V do 1V, LED diode se uključuju/isključuju jedna po jedna. Podaci dobijeni mjerenjem kao i stanja LED dioda su prikazani u Tabeli 1. Transformacijom 14-o bitnog binarnog podatka u dekadni sistem dobijaju se vrijednosti od 0 do 16383. Na sl. 4 prikazana je izlazna karakteristika AD konvertora, gdje su na X osi izmjereni naponi dobijeni na izlazu DA konvertora, dok su na Y osi binarni podaci transformisani u dekadni sistem. Ova izlazna karakteristika poredi se sa idealnom binarnom transformacijom, gdje se napon od -1V konvertuje u dekadnu 0, a napon od 1V konvertuje se u dekadni broj 16383.

Pošto je u konkretnog primjeni od izuzetnog značaja, ne samo tačnost preslikavanja ulaznog napona, nego i brzina AD konverzije, odnosno dinamičke karakteristike AD konvertora, u nastavku su prikazani izlazni signali DA konvertora ukoliko se na ulaz AD konvertora dovode kvadrturni i sinusni signali različitih frekvencija. Za cjelokupnu digitalnu PLL strukturu, kojoj je AD konverzija, samo jedan element potreban za dobijanje diskretnog ulaznog signala od suštinske važnosti je upravo sinusni signal frekvencije oko 50Hz (frekvencija mrežnog napona). Ispitivanje kvadrturnih signala, različitih frekvencija, je takođe važno jer se na tom obliku signala najbolje može vidjeti ukoliko izlazni signal kasni za izmjerenim ulaznim signalom. Ispitivanja su vršena za frekvencije od 50Hz i 150Hz. Za ove signale poklapanje je izuzetno zadovoljavajuće.



Slika 4. Slika 14 Izlazna karakteristika AD konvertora

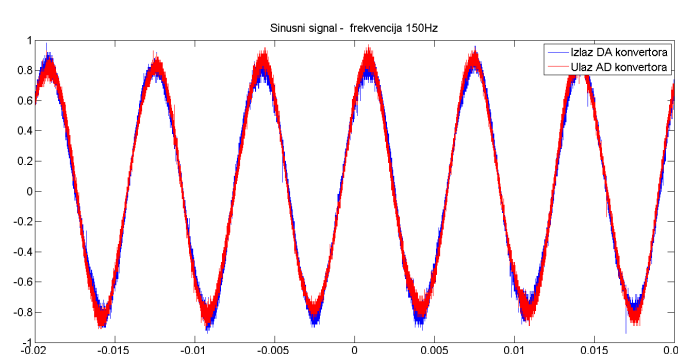
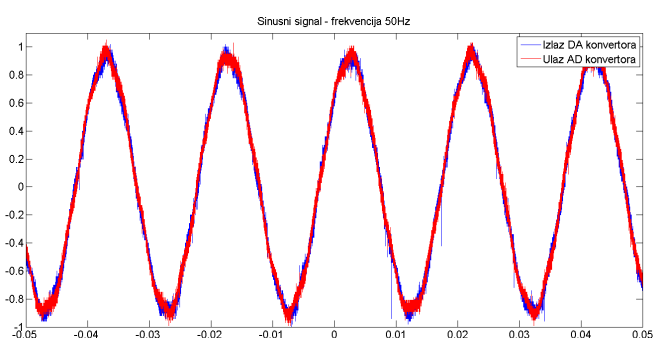
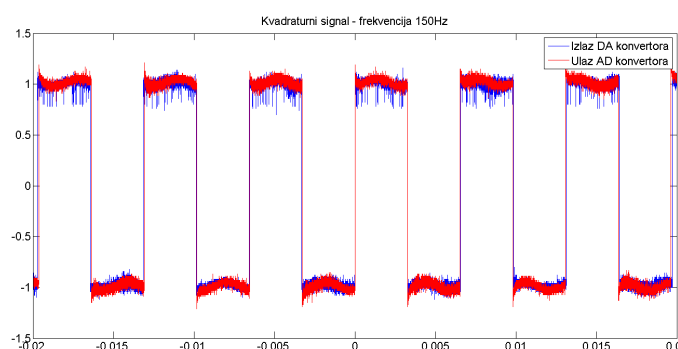
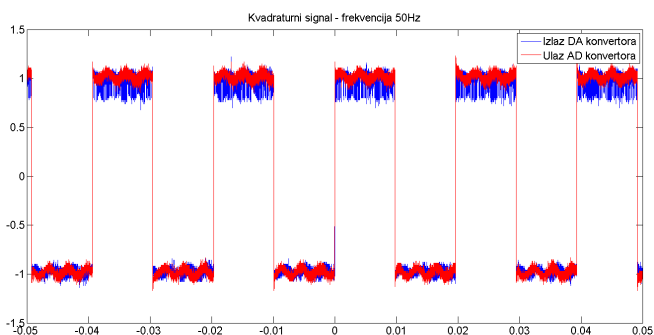
Iako u toku rada nisu predstavljene performanse DA konvertora, jer on nije tema rada, on je iskorišten kako bi se pokazala vjerodostojnost preslikavanja analognog signala u diskretni domen. Podaci o karakteristikama DA konvertora su opisani u [5]. Samim tim je dokazano da je i preslikavanje iz diskretnog u analogni domen, što je zadatak DA konvertora takođe zadovoljavajuće.

Rezultati testiranja su prikazani na sl. 5-7. Testirani su signali frekvencija 50Hz i 150Hz.

TABELA I.

TABELA 3: PRIKAZ ULAZNIH I IZLAZNIH SIGNALA AD/DA KONVERTORA

Izmjerena vrijednost na ulazu AD konvertora (Voltmetar) [V]	Izmjerena vrijednost na izlazu DA konvertora (Voltmetar) [V]	Greška (izlaz DA konvertora/ulaz AD konvertora-voltmetar [V]	Izmjerena vrijednost na ulazu AD konvertora (Osciloskop) [V]	Izmjerena vrijednost na izlazu DA konvertora (Osciloskop) [V]	Greška(izlaz DA konvertora /ulaz AD konvertora -osciloskop [V]	14-o bitna izlazna riječ na izlazu AD konvertora	Dekadna vrijednost izlazne riječi
-1.036	-0.973	0.063	-1.066	-0.9653	0.1007	00000000000000	0
-0.845	-0.857	0.012	-0.8385	-0.8481	0.0096	00011000001011	1547
-0.738	-0.752	0.014	-0.7227	-0.7397	0.0170	00100010100111	2215
-0.632	-0.646	0.014	-0.6138	-0.6314	0.0176	00110001000011	3139
-0.510	-0.532	0.022	-0.4901	-0.5208	0.0307	00111111011111	4063
-0.379	-0.412	0.033	-0.3603	-0.3984	0.0381	01001111011111	5087
-0.265	-0.303	0.038	-0.2436	-0.2916	0.0480	01011011011111	5855
-0.164	-0.201	0.037	-0.1471	-0.1935	0.0464	01101011011111	6879
-0.006	-0.058	0.052	-0.0087	-0.0564	0.0477	01111011010011	7891
0.180	0.117	0.063	0.1968	0.1180	0.0788	10001111111111	9215
0.272	0.211	0.061	0.2880	0.2091	0.0789	10011011111111	9983
0.381	0.308	0.073	0.4005	0.3183	0.0822	10101001111111	10879
0.518	0.438	0.08	0.5349	0.4508	0.0841	10111001111111	11903
0.685	0.600	0.085	0.7050	0.6108	0.0942	11001111111111	13311
0.810	0.715	0.095	0.8308	0.7310	0.0998	11011101111111	14207
0.933	0.829	0.104	0.9572	0.8489	0.1083	11101101111111	15231
1.067	0.972	0.095	1.0797	0.9778	0.1019	11111111111111	16383



Slika 5. Kvadraturni i sinusni signali frekvencije 50Hz – crvena linija: analogni signal sa funkcijskog generator (ulaz AD konvertora); plava linija: analogni signal na izlazu DA konvertora

Slika 6. Kvadraturni i sinusni signali frekvencije 150Hz – crvena linija: analogni signal sa funkcijskog generator (ulaz AD konvertora); plava linija: analogni signal na izlazu DA konvertora

LITERATURA

- [1] S. Lubura, M. Soja, S. Lale and M. Ikić, "Single-phase phase locked loop with dc offset and noise rejection for photovoltaic inverters," in *IET Power Electronics*, vol. 7, no. 9, pp. 2288-2299, September 2014. doi: 10.1049/iet-pel.2013.0413.
- [2] S. Lubura, S. Lale, M. Šoja, Č. Milosavljević "Poređenje performansi jednofaznih SRF-PLL struktura sa DC-SOGI i VS-OSG dvofaznim generatorom za generisanje kvadrature signala", XVI međunarodni naučno-stručni simpozijum INFOTEH-JAHORINA 2017. Vol. 16, No. P-1-9, pp. 307-312, ISBN 978-99976-710-0-4, 2017.
- [3] Datasheet Dual A/D Converter AD9248, Analog Devices, 2005
- [4] Datasheet AD/DA Daughter cards, Terasic, 2008
- [5] THDB-ADA, User Manual, Terasic 2015

ABSTRACT

This paper describes an AD converter with an integrated AD9248 chip, explains its operating principle and its practical implementation. The electrical diagram of the converter is shown, the connection method and the control logic between the control panel itself and the AD converter are described. Eventually, the test of the AD converter performances is done, which involves bringing an analog signal to the input of the AD converter, processing the signal on the FPGA circuit (Field Programmable Gate Arrays), and the result of DA conversion, is displayed on the scope.

AD9248 CONVERTER DESCRIPTION AND TESTING ITS PERFORMANCES WHEN COLLECTING GRID SIGNAL DATA

Milica Ristović Krstić, Slobodan Lubura, Tatjana Nikolić