

Digitalna kontrola paralelnog rada invertora primenom Interleaving algoritma i histerezisnog regulatora struje

Nikola Đorđević, Zoran Radaković
Elektrotehnički fakultet, Univerzitet u Beogradu
Beograd, Srbija
radakovic@etf.rs

Sažetak— U radu je prikazana implementacija Interleaving algoritama u sklopu digitalnog upravljanja dva paralelno vezana invertora priključena na zajedničko opterećenje. U konkretnom slučaju za kontrolu izlazne struje invertora se koristi histerezisna regulacija. Primena Interleaving algoritma ima za cilj smanjenje harmonijskih izobličenja zbirne struje više paralelno vezanih invertora i simetričnu raspodelu opterećenja. U radu su primenjena dva paralelno vezana invertora (master i slave) koji se preko prigušnica (choke) priključuju na zajedničko opterećenje. Algoritam je implementiran na hardveru koji čine dva invertora pojedinačne nominalne snage 3.7 kW pri čemu se za upravljanje koriste mikrokontroleri TI Piccolo TMS320F28027. Za programiranje mikrokontrolera se koriste softveri Matlab/Simulink (Real Time Workshop) i Code Composer Studio. Na kraju, u radu se prikazuju rezultati ispitivanja na hardveru i iznose kvalitativni i kvantitativni zaključci.

Ključne riječi— paralelni rad invertora; Interleaving algoritam; histerezisni regulator struje; digitalno upravljanje (interleaved inverters; Interleaving algorithm; hysteresis current control; digital control)

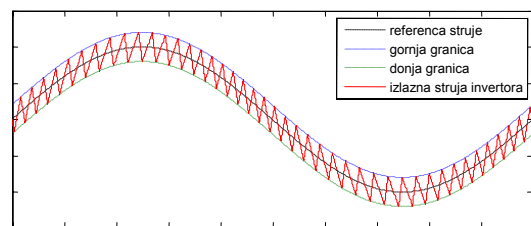
I. UVOD

Interleaving algoritam se u praksi primenjuje u sklopu upravljanja više paralelno povezanih uređaja energetske elektronike. U konkretnom slučaju koriste se dva paralelno vezana 2-level invertora kod kojih se za kontrolu izlazne struje invertora koristi histerezisni regulator. Izlazi invertora su preko zasebnih prigušnica priključeni na zajedničko opterećenje. Poznato je da naizmenična izlazna struja invertora (struja prigušnice) ima izraženu valovitost (ripple) na visokim učestanostima (na prekidačkoj učestanosti energetskih tranzistora). Ripple je neželjena pojava, čiji intenzitet treba smanjiti i ograničiti, i za to postoji nekoliko mogućnosti - najčešće se koristi povećanje prekidačke učestanosti, povećanje izlaznih prigušnica i primena Interleaving-a. Interleaving algoritam se bazira na faznom pomeraju izlaznih struja paralelno vezanih izlaza invertora. U realizaciji se koriste stabilizacione rampe primenjene na histerezisni regulator struje, kojima se realizuju vremenski pomeraji trenutaka u kojima se isključuju gornji i uključuju donji prekidači svakog od sekundarnih invertora (n sekundarnih invertora u opštem slučaju) u odnosu na trenutak isključenja gornjeg tranzistora primarnog invertora. Na taj način se

zbirom izlaznih struja svih invertora dobija ukupna struja opterećenja koja ima značajno manju procentualnu vrednost amplitude harmonika (u odnosu na osnovni harmonik ukupne izlazne struje) u odnosu na procentualnu vrednost amplitude harmonika struje svakog od invertora, pri čemu se harmonici potiskuju ka višim učestanostima (n puta za slučaj n paralelno vezanih invertora).

II. HISTEREZISNI REGULATOR STRUJE

Histerezisno upravljanje izlaznom strujom invertora se vrši tako što se između izlaza invertora i opterećenja postavi prigušnica, pa se upravljanjem izlaznim naponom invertora trenutna vrednost struje prigušnice održava unutar zadatih graničnih vrednosti kao na Sl. 1. Širina histerezisa može biti konstantna (što je korišćeno u ovom radu), promenljiva na način da se održi konstantna učestanost prekidanja ili definisana nekom funkcijom.



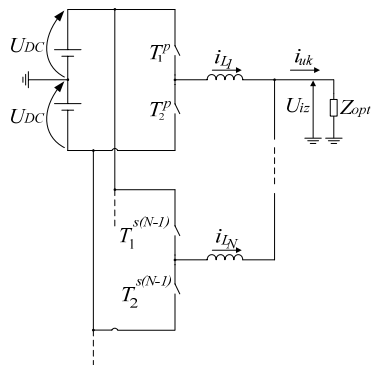
Slika 1. Izlazna struja invertora kao rezultat primene histerezisnog regulatora struje

Jedan od paralelno vezanih invertora na zajedničko opterećenje naziva se primarni inverter (*master*). Za upravljanje izlaznom strujom primarnog invertora koristi se histerezisni regulator struje. Ostali invertori, paralelno vezani sa primarnim inverterom na zajedničko opterećenje, nazivaju se sekundarni invertori (*slave*). Za upravljanje izlaznom strujom sekundarnih invertora primenjuje se Interleaving algoritam.

III. INTERLEAVING ALGORITAM

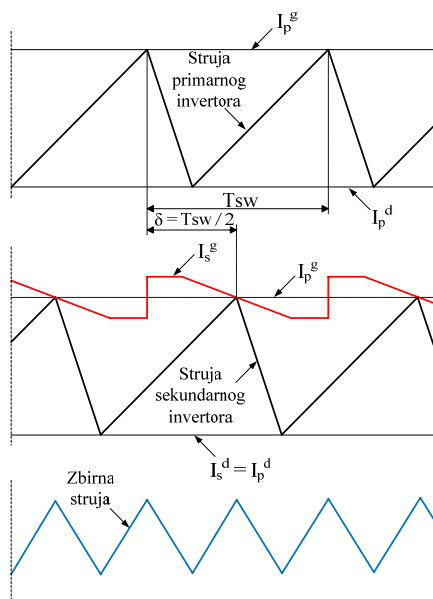
Sl. 2 predstavlja principsku šemu N paralelno vezanih 2-level invertora (primarni inverter i $N-1$ sekundarnih invertora) na zajedničko opterećenje.

Interleaving algoritmom se generišu stabilizacione rampe koje se dodaju na gornju graničnu vrednost struje primarnog invertora i na taj način određuju gornje granične vrednosti struja svakog od sekundarnih invertora. Pri tome, donje granične vrednosti struja svih invertora su jednake. Detalji u nastavku teksta će se dati za slučaj paralelnog rada jednog primarnog i jednog sekundarnog invertora.



Slika 2. Principalska šema N paralelno vezanih 2-level invertora

Na Sl. 3 su prikazane gornja i donja granična vrednost struje primarnog invertora (I_p^g i I_p^d), struja primarnog invertora, gornja i donja granična vrednost struje sekundarnog invertora (I_s^g i I_s^d), struja sekundarnog invertora kao i zbirna izlazna struja unutar nekoliko prekidačkih cilusa (prekidačka učestanost svakog od invertora se kreće u opsegu od 5 kHz do 10 kHz).



Slika 3. Izlazne struje primarnog i sekundarnog invertora pri $D > 0.5$ i zbirna struja

Na slici se vidi da je struja sekundarnog invertora vremenski pomerena za δ (opšti slučaj) u odnosu na struju primarnog invertora: trenutak isključenja gornjeg prekidača sekundarnog invertora (tranzistor čijim se uključanjem prenosi pozitivan napon jednosmernog kola na izlaz invertora u odnosu na referentni potencijal zemlje; tada struja prigušnice raste) je

vremenski pomeřen za ugao δ u odnosu na trenutak isključenja gornjeg prekidača primarnog invertora. Konkretno, u slučaju rada dva paralelno vezana invertora (jednog primarnog i jednog sekundarnog), stabilizaciona rampa se određuje tako da se u ustaljenom stanju ima struja sekundarnog invertora vremenski pomerena za polovinu prekidačkog perioda (izmerenog u prethodnom ciklusu) u odnosu na struju primarnog invertora ($\delta = T_{sw} / 2$), kao što je prikazano na Sl. 3. Vremenski pomeraj δ je rezultat primene stabilizacione rampe (crveni signal na Sl. 3).

Kao rezultat pomeranja trenutaka isključenja gornjeg prekidača sekundarnog invertora, odnosno uključanja donjeg, dobija se ukupna struja sa značajno manjim harmonijskim izobličenjima (manji THD faktor – Total Harmonic Distortion). Takođe, može se primetiti da na amplitudu harmonijskog izobličenja (ripple) utiče period uključenosti gornjeg prekidača invertora unutar prekidačkog perioda D (duty cycle) i broj paralelno vezanih invertora. U slučaju dva paralelno vezana invertora, minimalni ripple se ima pri $D = 0.5$ (D zavisi od trenutne vrednosti reference struje u okviru njene 50 Hz periode). U slučaju četiri paralelno vezana invertora, maksimalno suzbijanje harmonijskih izobličenja se postiže pri $D = 0.25, 0.5$ i 0.75 , pri čemu su trenuci isključenja gornjih tranzistora tri sekundarna invertora u odnosu na trenutak isključenja gornjeg tranzistora primarnog invertora pomereni za $1/4, 1/2$, odnosno $3/4$ prekidačkog perioda primarnog invertora.

Povećavanjem broja paralelno vezanih invertora na opterećenje, primenom Interleaving algoritma, povećava se učestanost hamonika ukupne struje u odnosu na učestanost harmonika struje kroz svaki od invertora. Time se može postići smanjenje učestanosti rada invertora, što dovodi do manjih gubitaka snage.

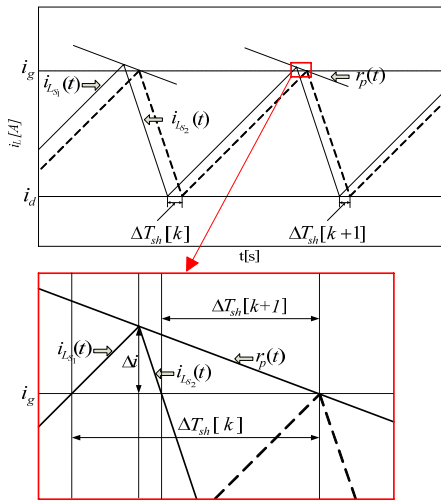
Algoritam generisanja stabilizacionih rampi prikazan je u [1], gde je implementacija Interleaving algoritma kompletno sprovedena analognim integrisanim kolima (stabilizacione rampe se generišu punjenjem kondenzatora pomoću izvora konstantne struje). Za razliku od rešenja iz [1], ovde se stabilizacione rampe generišu digitalno, u programu mikrokontrolera.

U literaturi se mogu naći različite topologije pretvarača u kojima se koriste Interleaving algoritam upravljanja. Sve primene u radovima [2] - [5] su date kao nadogradnja impulsno širinskoj modulaciji (PWM), kod koje je praktična realizacija daleko jednostavnija nego kada se Interleaving algoritam koristi kao nadogradnja na histerezisni regulator struje. U [2] i [3] je prikazano upravljanje trofaznim 2-level invertorom (više paralelno vezanih invertorskih grana po fazi), pri čemu je fokus u [2] na optimizaciji izlaznih filtera, a u [3] na povećanju efikasnosti (smanjenju gubitaka) koje se postiže primenom Interleaving algoritma. U [4] je algoritam primenjen na upravljanje otočnim aktivnim filtrom za suzbijanje viših harmonika struje na bazi dva paralelno vezana 2-level invertora. U [5] je prikazana implementacija Interleavinga u upravljanju više paralelno vezanih DC/DC pretvarača kojim se gorivne ćelije (FCHEV) priključuju na DC kolo invertora za pokretanje električnog motora hibridnih električnih automobila [5].

IV. KRITERIJUM STABILNOSTI

U ovom poglavlju se razmatra kriterijum stabilnosti upravljanja izlaznom strujom sekundarnih invertora. Sl. 4 prikazuje trenutne vrednosti aktuelne (puna linija) i željene izlazne struje sekundarnog invertora (isprekidana linija) u opštem slučaju. Period unutar koga se određuje kriterijum stabilnosti predstavlja period koji počinje uključanjem tranzistora T_1^s (sa Sl. 2) i završava se uključanjem tog istog tranzistora. Kriterijum stabilnosti rada sekundarnog invertora se bazira na posmatranju vremenskog pomeraja između aktuelne i željene trenutne vrednosti struje na početku ($\Delta T_{sh}[k]$) i na kraju posmatranog perioda ($\Delta T_{sh}[k+1]$). Stabilan rad sekundarnog invertora se postiže kada je odnos između $\Delta T_{sh}[k+1]$ i $\Delta T_{sh}[k]$ manji od 1 [6]:

$$\left| \frac{\Delta T_{sh}[k+1]}{\Delta T_{sh}[k]} \right| < 1 \quad (1)$$

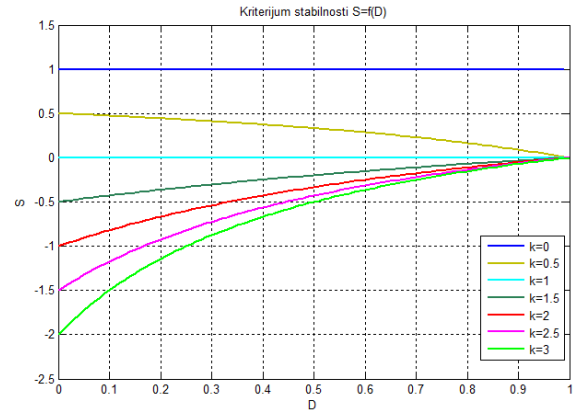


Slika 4. Određivanje kriterijuma stabilnosti

Odnos $\Delta T_{sh}[k+1] / \Delta T_{sh}[k]$ se može menjati podešavanjem nagiba stabilizacione rampe $r_p(t)$. Nalaženjem geometrijskih veza sa Sl. 4 i električnih veličina dolazi se do vrednosti odnosa $\Delta T_{sh}[k+1] / \Delta T_{sh}[k]$ predstavljenog sledećom jednačinom

$$|S| = \left| \frac{\Delta T_{sh}[k+1]}{\Delta T_{sh}[k]} \right| = \left| \frac{(1-D) \cdot (1-k)}{1-D \cdot (1-k)} \right| \quad (2)$$

Na Sl. 5 prikazana je funkcija kriterijuma stabilnosti S u zavisnosti od D (duty cycle) za nekoliko različitih vrednosti koeficijenta k (k je odnos nagiba stabilizacione rampe $r_p(t)$ i nagiba izlazne struje sekundarnog invertora (kada opada) $i_{L,S2}(t)$ u okviru jednog prekidačkog ciklusa, odnosno kada je uključen donji tranzistor sekundarnog invertora). Kriterijum stabilnosti je zadovoljen ako je vrednost S između -1 i 1. Iz jednačine (2) i Sl. 4 se može primetiti da za $k = 0$ (bez stabilizacione rampe, odnosno $S = 1$) neće nikada doći do poklapanja trenutne vrednosti aktuelne struje sa trenutnom vrednosti željene struje sekundarnog invertora.

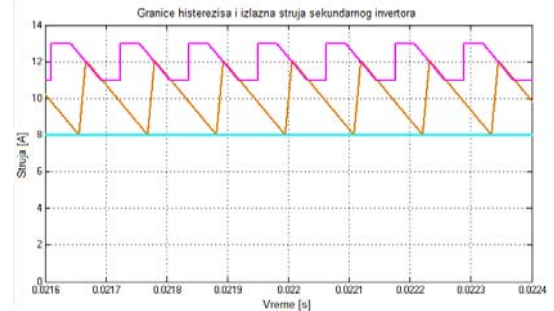


Slika 5. Vrednosti funkcije $S = f(D)$, za različite vrednosti parametra k

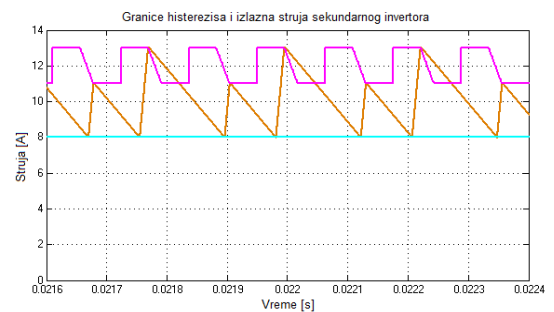
Sa druge strane, $k = 1$ ($S = 0$) znači da dolazi do vrlo brzog poklapanja aktuelne i željene trenutne vrednosti struje (već u narednom ciklusu posle pojave poremećaja).

Na Sl. 5 se takođe može videti da pri nekim vrednostima koeficijenta k i D kriterijum stabilnosti nije ispunjen. Recimo, za $k = 2.5$, kriterijum stabilnosti nije ispunjen za D manji od 0.17.

Da bi potvrdili kriterijum stabilnosti, urađene su dve simulacije za slučaj rada dva paralelno vezana invertora pri $D = 0.1$. Na Sl. 6 je prikazano nekoliko prekidačkih ciklusa izlazne struje sekundarnog invertora sa donjom i gornjom graničnom trenutnom vrednosti struje u stabilnom režimu ($k \approx 1$), a na Sl. 7 u nestabilnom režimu rada ($k \approx 3$).

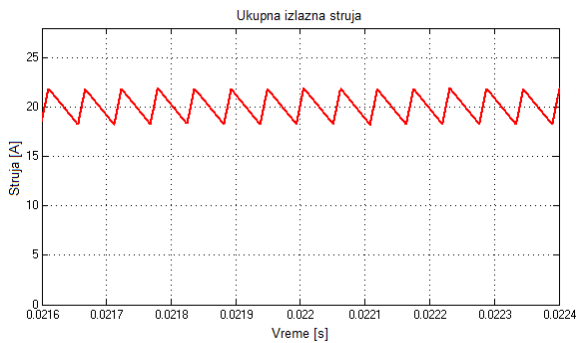


Slika 6. Stabilan režim rada sekundarnog invertora ($D = 0.1$; $k \approx 1$)

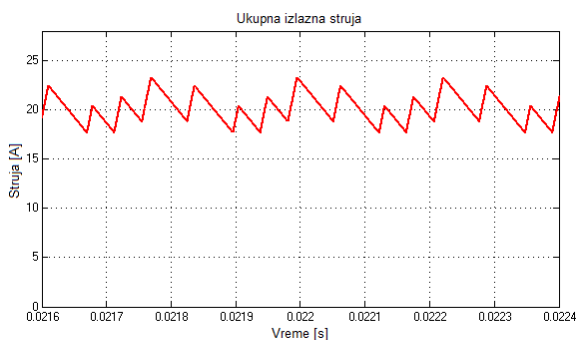


Slika 7. Nestabilan režim rada sekundarnog invertora ($D = 0.1$; $k \approx 3$)

Na Sl. 8 i 9 prikazana je zbirna izlazna struja opterećenja u stabilnom i nestabilnom režimu rada.



Slika 8. Ukupna izlazna struja u stabilnom režimu rada



Slika 9. Ukupna izlazna struja u nestabilnom režimu rada

U skladu sa prethodno izloženim, može se zaključiti da bi podešavanje koeficijenta k na vrednost 1 dovelo do stabilnog rada, uz najbrže eliminacije vremenskog pomeraja između aktuelne i željene trenutne vrednosti struje koji se javlja usled poremećaja (tranzijenata) u radu ili pri puštanju u rad. Promena nagiba stabilizacione rampe u toku rada (tako da nagib stabilizacione rampe bude uvek jednak nagibu struje kada ona opada, da bi se postizalo najbrže poklapanje aktuelne i željene trenutne vrednosti struje u slučaju tranzijenata) bi zahtevala dodatne napore u digitalnom upravljanju (potrebno je merenje napona jednosmernog kola, napona opterećenja i tačna vrednost induktivnosti prigušnice na izlazu invertora).

Praktično, u ovom slučaju gde se koristi *2-level* inverter, stabilan rad se postiže kada se nagib stabilizacione rampe podesi tako da njen nagib bude manji od nagiba struje na delu na kome ona opada. Najsporije opadanje struje se ima kada je D minimalan, odnosno kada je trenutna vrednost izlaznog napona minimalna, što se vidi iz veze uspostavljene iz uslova da je srednja vrednost napona na prigušnici u toku jednog prekidačkog perioda jednaka nuli. U slučaju *2-level* invertora iz ovog uslova se dolazi do

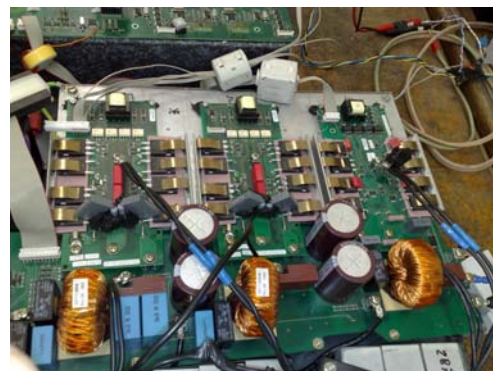
$$D = 0.5 + \frac{U_{iz}}{2 \cdot U_{DC}} \quad (3)$$

V. HARDVER

Na Sl. 10 je prikazan upravljački deo hardvera sa mikrokontrolerima TI TMS320F28027 koji se koriste za opisano upravljanje inverterima. Na Sl. 11 je prikazan energetski deo hardvera koji čine inverteri, jednosmerni kolo sa *bulk* kondenzatorima, LC filtri na strani naizmeničnog napona i kola za merenje struja i napona. Opisana kontrola i hardver su implementirani na baznoj topologiji *3-level* trofaznog solarnog invertora (koji se priključuje na mrežu), a koji je modifikovan za potrebe realizacije koja je opisana u radu.



Slika 10. Upravljačka kola primarnog (master) i sekundarnog (slave) invertora



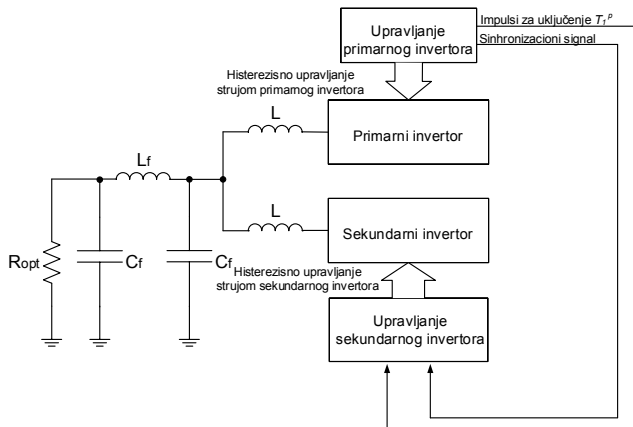
Slika 11. Energetski deo hardvera

Na Sl. 12 je prikazan principijelni blok dijagram dva paralelno povezana invertora priključena na otporno opterećenje. Svakim od invertora upravlja zasebno upravljačko kolo. Primarni inverter radi na osnovu klasičnog histerezisnog regulatora struje. Gornja i donja granica histerezisa se određuju dodavanjem / oduzimanjem polovine širine histerezisa, koja se zadaje u upravljačkom programu mikrokontrolera, na sinusoidalnu referencu struje. Na bazi merene struje kroz prigušnicu i zadatih graničnih vrednosti struje, koji predstavljaju ulaze u interne brze komparatore mikrokontrolera, generišu se upravljački impulsi za uključenje i isključenje energetskih tranzistora.

Za histerezisnu regulaciju struje sekundarnog invertora neophodno je obezbediti izmenjenu gornju granicu histerezisa tako da izgleda kao na Sl. 6. Za generisanje stabilizacione rampe, neophodan je impulsni signal za uključenje / isključenje gornjeg tranzistora primarnog invertora T_p^p i signal za

sinhronizaciju sinusoidalnih referenci za struje primarnog i sekundarnog invertora.

Signal za sinhronizaciju predstavlja logički signal znaka sinusoidalne reference struje primarnog invertora - $sign(I_{ref})$. On se koristi kao ulaz u PLL (Phase Locked Loop) algoritam za definisanje sinusoidalne reference struje, koji je implementiran u mikrokontroleru koji upravlja sekundarnim invertorom.



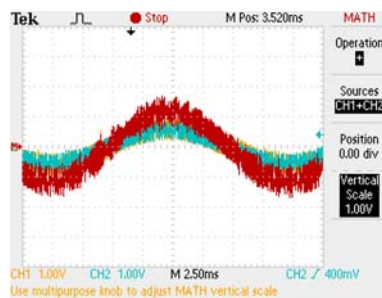
Slika 12. Principijelni blok dijagram dva paralelno povezana invertora priključena na otporno opterećenje

Za generisanje stabilizacionih rampi se u osnovi koristi periferija eCAP mikrokontrolera koji upravlja sekundarnim invertorom. eCAP predstavlja 32-bitni brojač koji radi na frekvenciji rada procesora od 60 MHz. Na ulaz eCAP-a dovodi se impulsni signal za uključenje tranzistora T_1^p (gornji tranzistor primarnog invertora). Brojač se resetuje u trenutku isključenja tog tranzistora, pri čemu se prvo zapamti vrednost iz registra brojača pre samog resetovanja. Taj broj predstavlja period rada tranzistora T_1^p izražen brojem taktova procesora. Na osnovu tog perioda i pomeraja $\delta = T_{SW} / 2$, kao i nagiba stabilizacione rampe $r_p(t)$ određenog na način opisan u poglavlju IV, definiše se vremenska promena stabilizacione rampe, koja predstavlja gornju granicu histerezisa za regulaciju struje sekundarnog invertora.

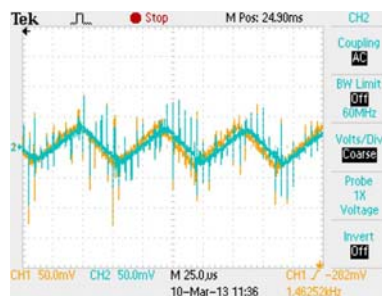
VI. REZULTATI OGLEDA

U radu su prikazana dva ogleđa: a) kada primarni i sekundarni invertor rade u sinhronizovanom režimu (tako da su sinhronizovani trenuci uključanja / isključenja tranzistora oba invertora) i b) kada je primenjen Interleaving algoritam (kada se na gornju granicu histerezisa primene stabilizacione rampe za upravljanje strujom sekundarnog invertora). Rezultati ogleđa (talasni oblici signala struje primarnog i sekundarnog invertora i zbirne struje, snimljeni na osciloskopu i FFT dijagrami zbirne struje) prikazani su na Sl. 13 - 18.

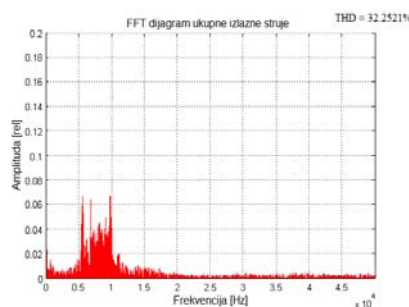
Ogledi su vršeni za zadatu referencu struje primarnog i sekundarnog invertora od 1 A, zadatu širinu histerezisa od 1 A, napone jednosmernog kola ± 16 V, induktivnost prigušnica na izlazu invertora od 550 μ H i otpornost opterećenja od 5 Ω . Izlazni filter je propusnik niskih učestanosti do 5 kHz.



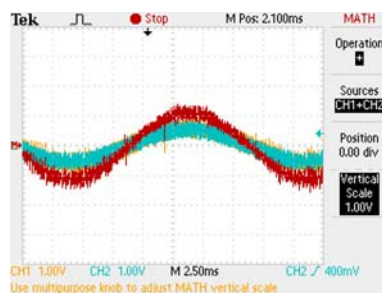
Slika 13. Izlazna struja primarnog invertora (zeleno); Izlazna struja sekundarnog invertora (žuto); Ukupna izlazna struja pre filtera, u sinhronizovanom režimu (crvena)



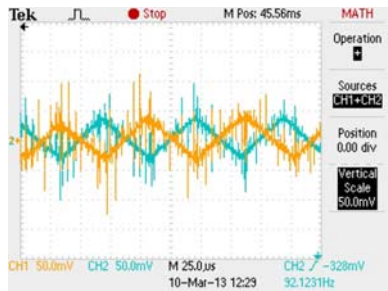
Slika 14. Prikaz nekoliko prekidačkih perioda struje primarnog i sekundarnog invertora u sinhronizovanom režimu



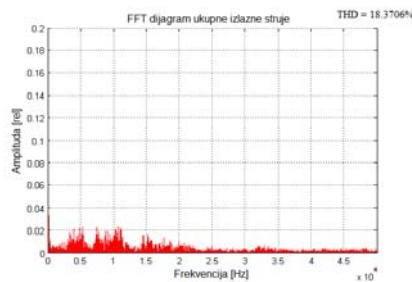
Slika 15. FFT dijagram ukupne izlazne struje u sinhronizovanom režimu



Slika 16. Izlazna struja primarnog invertora (zeleno); Izlazna struja sekundarnog invertora (žuto); Ukupna izlazna struja pre filtera, kada je primenjen Interleaving algoritam (crveno)



Slika 17. Prikaz nekoliko prekidačkih perioda struje primarnog i sekundarnog invertora kada je primenjen Interleaving algoritam



Slika 18. FFT dijagram ukupne izlazne struje kada je primenjen Interleaving algoritam

Iz priloženih rezultata oglada može se zaključiti da je primenjena metoda veoma efikasna u pogledu suzbijanja harmonika visokih učestanosti koji potiču od rada samih invertora. THD zbirne struje pre izlaznog filtera je smanjen sa 32.2 % na 18.4 %.

VII. ZAKLJUČAK

U radu je prikazana implementacija Interleaving algoritma upravljanja primenjena na paralelni rad dva invertora koji su priključeni na zajedničko opterećenje. Kompletan algoritam upravljanja je implementiran pomoću mikrokontrolera. U radu je diskutovan način podešavanja nagiba stabilizacionih rampi, pri čemu je glavni faktor postizanje stabilnosti koja je neophodna da bi se postigao željeni efekat suzbijanja viših harmonika. Dat je kratak opis najbitnijih delova hardvera korišćenog u oglelima i prikazani su rezultati snimljeni pomoću osciloskopa. Na osnovu prikazanih talasnih oblika zbirne struje i FFT dijagrama može se zaključiti da je ovaj algoritam upravljanja vrlo efikasan u pogledu suzbijanja harmonika visokih učestanosti, kao i u pogledu simetrične raspodele opterećenja.

Povećavanjem broja paralelno vezanih invertora, primenom Interleaving algoritma, intenzitet prikazanih pozitivnih efekata postaje još veći. Na račun smanjenja harmonijskih izobličenja moguće je smanjiti prekidačku učestanost invertora, a time i gubitke, ili smanjiti gabarit prigušnice koja se vezuje na izlaz svakog od invertora.

U nastavku rada se planira testiranje algoritma za slučaj da je inverter priključen na elektrodistributivnu mrežu. To će se

sprovesti na novom upravljačkom hardveru sa mikrokontrolerom poslednje generacije, koji je u završnoj fazi izrade i sa kojim su planirane različite primene u istraživanju i nastavi na predmetu Projektovanje fotonaponskih sistema na master studijama na Elektrotehničkom fakultetu u Beogradu.

ZAHVALNICA

Ovaj rad je nastao kao deo istraživanja na projektu TR33024 podržanom od Ministarstva prosvete, nauke i tehnološkog razvoja Republike Srbije.

LITERATURA

- [1] J. Batchvarov, J. Duarte, and M. Hendrix, "Interleaved converters based on hysteresis current control," in *Power Electronics Specialists Conference*, vol. 2, pp. 655–661, Jun 2000.
- [2] S. M. Sharkh, M. Abu-Sara, Z. F. Hussien, "Design and control of a grid-connected interleaved inverter," *IEEE Transactions on Power Electronics*, vol. 28, pp. 748–764, Feb. 2013.
- [3] C. Attaianesi, M. D'Arpino, M. Di Monaco, G. Tomasso, "Interleaving modulation inverters for high efficiency photovoltaic systems," *2014 IEEE PES General Meeting | Conference & Exposition*.
- [4] L. Asiminoaei, E. Aeloiza, P. Enjeti, F. Blaabjerg, "shunt active-power-filter topology based on parallel interleaved inverters," *IEEE Transactions on Industrial Electronics*, vol. 55, pp.1175-1189, March 2008.
- [5] O. Hegazy, J. Mierlo, P. Lataire, "Analysis, modeling, and implementation of a multidevice interleaved DC/DC converter for fuel cell hybrid electric vehicles," *IEEE Transactions on Power Electronics*, vol. 27, pp.4445-4458, Nov 2012.
- [6] J.M. Schellekens, J.L. Duarte, M.A.M Hendrix, H. Huisman, "Interleaved switching of parallel ZVS hysteresis current controlled inverters," in *Proceedings of the 2010 International Power Electronics Conference (IPEC)*, 21-24 June 2010, Sapporo, Japan pp. 2822-2829

ABSTRACT

The paper presents the implementation of Interleaving algorithm as a part of digital control of two interleaved inverters connected to a common load. In this case the hysteresis control of the inverter output current is used. The application of the Interleaving algorithm aims to reduce the harmonic distortion of several interleaved inverters and the symmetric load distribution. In this paper, two parallel-connected invertors (master and slave) are applied, which are connected to the common load via chokes. The algorithm is implemented on hardware consisting of two invertors of a 3.7 kW nominal power each, using TI Piccolo TMS320F28027 microcontrollers. Matlab/Simulink (Real Time Workshop) and Code Composer Studio software are used for programming of microcontrollers. Finally, the paper presents the results of testing on hardware and provides qualitative and quantitative conclusions

DIGITAL CONTROL OF TWO INTERLEAVED INVERTERS BASED ON INTERLEAVING ALGORITHM AND HYSTERESIS CURRENT CONTROL

Nikola Djordjevic, Zoran Radakovic