

Implementacija unaprijeđene jednofazne PLL strukture sa DC-SOGI na FPGA kolu

Milica Ristović Krstić, Slobodan Lubura
Elektrotehnički fakultet
Univerzitet u Istočnom Sarajevu
milica.ristovic@etf.unssa.rs.ba, slubura@etf.unssa.rs.ba

Tatjana Nikolić
Elektronski fakultet
Univerzitet u Nišu, Srbija
tatjana.nikolic@elfak.ni.ac.rs

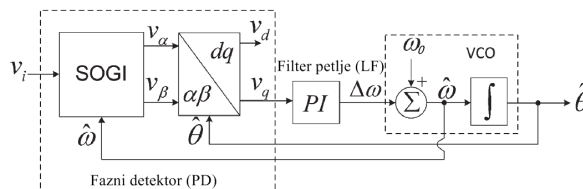
Sažetak— Fokus istraživanja opisanih u ovom radu bila je implementacija jednofazne SRF-PLL (engl. Synchronous Reference Frame–Phase Locked Loop) strukture koja se koristi za sinhronizaciju fotonaponskih invertora sa mrežom, na FPGA (eng. Field Programmable Gate Arrays) kolu. U ovom radu detaljno je opisan dvofazni generator, tj. DC-SOGI (eng. Direct Current free Second Order Generalized Integrator) blok, koji generiše dva kvadratura signala za rad faznog diskriminatora ima i mogućnost eliminacije šuma i jednosmjerne komponente iz ulaznog jednofaznog napona. Ispitane su osobine i ponašanje diskretizovane SRF-PLL strukture prilikom implementacije na digitalnom hardveru.

Ključne riječi- SRF-PLL; dvofazni generator; DC-SOGI blok; eliminacija jednosmjerne komponente; implementacija na FPGA;

I. UVOD

Prilikom povezivanja pretvarača energetske elektronike (invertora) sa mrežom neophodno je da postoji sinhronizacijski blok kao dio upravljačke strukture, kako bi se podeseo fazni ugao između napona mreže i struje invertora. Jedna od najčešće korišćenih sinhronizacijskih struktura koje se koriste u ovu svrhu su fazno zaključana petlja (eng. Phase Locked Loop - PLL). U ovom radu izvršena je implementacija SRF-PLL strukture sa DC-SOGI dvofaznim generatorom, a koja može da posluži za sinhronizaciju jednofaznog fotonaponskog invertora sa mrežom, na FPGA kolu. Ova unaprijeđena PLL struktura predstavljena je u [1], a specifična je po tome što blok koji ima funkciju faznog detektora ima mogućnost i estimacije parametara mreže, pa čak i ukoliko je ulazni mrežni napon zagađen šumom ili harmonicima.

Zahvaljujući svojoj jednostavnoj realizaciji, rubusnosti i efikasnosti, SRF-PLL je vjerovatno najpopularnija struktura za dobijanje informacija o parametrima napona mreže. Na sl. 1 prikazan je blok dijagram ove jednofazne PLL strukture. SRF blok ima ulogu faznog detektora, koji transformiše stacionarne komponente napona ($\alpha\beta$) u jednosmjerne komponente (dq) sinhronog referentnog sistema primjenom Parkove transformacije. Ovaj blok je adaptivan po estimiranom faznom uglu odnosno na amplitude vektora v_d i v_q utiče izlaz PLL strukture, tako da se signal v_q svede nulu. Istovremeno, vrijednost v_d konvergira ka amplitudi mrežnog napona. PI regulator se koristi kao filter petlje. Takođe, kako bi SRF-PLL struktura bila neosjetljiva na promjene amplitude mrežnog signala, signal v_q se dijeli sa estimiranom amplitudom mrežnog signala, što se može dobiti propuštanjem v_d signala kroz niskopropusni filter.



Slika 1 Opšta struktura SOGI-PLL

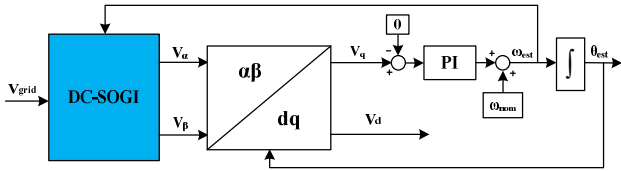
Ova struktura je veoma popularna kod trofaznih sistema zbog svoje efikasnosti i jednostavnosti. Međutim, kod jednofaznih sistema, zbog nedostatka više nezavisnih ulaznih signala, kao kod trofaznih sistema, njihova primjena je komplikovanija. Zbog toga su predložene neke metode za generisanje ortogonalnog signala u odnosu na ulazni signal u jednofaznom sistemu, da bi primjena PD (eng. Phase Detector) bloka bila moguća.

U literaturi je poznat veliki broj različitih PD blokova, ali suština njihove realizacije svodi se na SOGI i inverzne Park OSG blokove, pa se te strukture zovu još i SOGI PLL i Park PLL strukture [2]-[4]. One su prihvatljive zbog toga što imaju zadovoljavajuće performanse čak i u uslovima promjenjive frekvencije mrežnog napona ili u prisustvu harmonika i šuma, što su najčešći poremećaji ulaznog signala. Međutim, ukoliko se kod ulaznog signala pojavi i jednosmjerna komponenta ili nesimetričnost, fazna razlika na izlazu dvofaznog generatora nije tačno $\pi/2$, doći će do greške u estimaciji mrežnih parametara. U [1] je detaljno opisan DC-SOGI blok koji ima mogućnost eliminacije jednosmerne komponente ili šuma ukoliko se oni pojave na izlazu kola prilagođenja mrežnog napona. Naime, modifikovanjem dvofaznog generatora, odnosno dodavanjem upravljačke petlje u sam generator, omogućeno je istovremeno generisanje fazno pomjerenih signala i eliminacija jednosmjerne komponente bez dodavanja ikakvih filtera. Predloženi generator je robustan i ima brz odziv na promjene parametara mreže. On takođe efikasno eliminiše i šum u mjerenom mrežnom naponu.

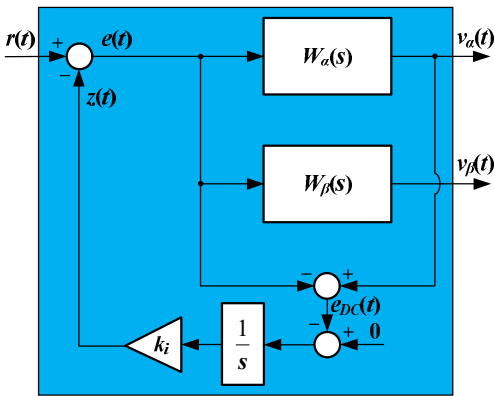
II. DC-SOGI BLOK

DC-SOGI, kao što je već rečeno predstavlja dio SRF-PLL strukture. Fazni detektor u SRF-PLL strukturi [1]-[4] je SRF blok ($\alpha\beta/dq$ blok - Sl. 2 a). Na ulazu SRF bloka neophodno je imati dva signala fazno pomjerena za $\pi/2$, $v_\alpha(t)$ i $v_\beta(t)$, koji su izlazni signali DC-SOGI bloka. SOGI blok sastoji se od dva filtra drugog reda i to filtera propusnika opsega i niskopropusnog filtera, tako da oba mogu uspješno da prigušuju visokofrekventne šumove, ali ne i jednosmijernu komponentu ukoliko se ona pojavi u izmjerenom mrežnom signalu. Unesena

jednosmjerna komponenta, uzrokuje neželjenu talasnost u estimiranim vrijednostima mrežne frekvencije i amplitude na izlazu PLL strukture. Tako da je bilo neophodno napraviti neke izmjene postojećeg SOGI bloka. Jednosmjerna komponenta je eliminisana dodavanjem jednostavne zatvorene petlje koja ima čisto integralno dejstvo u postojeću strukturu. Ovaj unaprijeđeni SOGI blok nazvan je DC-SOGI. Blok dijagram SRF-PLL strukture sa DC-SOGI blokom i blok dijagram samog DC-SOGI bloka prikazani su na sl. a) i 2 b).



Slika 2 a Blok dijagram jednofazne SRF-PLL strukture



Slika 2 b Blok dijagram DC-SOGI bloka

Funkcija prenosa DC-SOGI bloka su:

$$W_{m\alpha}(s) = \frac{V_\alpha(s)}{V_g(s)} = \frac{\omega s^2}{s^3 + (\omega + k_i)s^2 + \omega^2 s + k_i \omega^2} \quad (1)$$

$$W_{m\beta}(s) = \frac{V_\beta(s)}{V_g(s)} = \frac{\omega^2 s}{s^3 + (\omega + k_i)s^2 + \omega^2 s + k_i \omega^2} \quad (2)$$

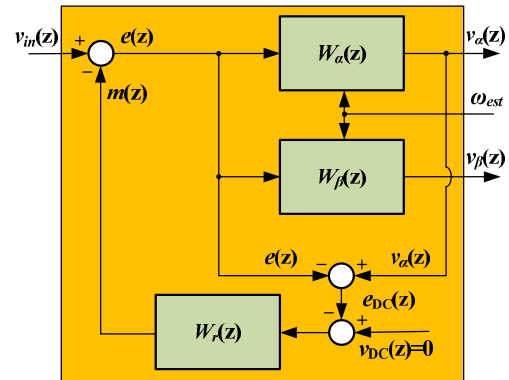
DC-SOGI blok sa filterima $W_{m\alpha}(s)$ i $W_{m\beta}(s)$ može da eliminiše jednosmjernu komponentu umjerenom mrežnom naponu, dok SOGI blok to ne može. Ako se pretpostavi da izmjereni mrežni napon $r(t)$ sadrži jednosmjernu komponentu, vrijednost te jednosmjerne komponente estimira se na izlazu upravljačke petlje i nakon toga se oduzima od ulaznog napona superponiranog sa jednosmjernom komponentom. Ključni parametar predložene zatvorene petlje je parametar integralnog dejstva k_i . Parametar k_i određuje dinamiku odziva sistema, tj. ima ključni uticaj na brzinu eliminacije jednosmjerne komponente. Optimizacija parametra k_i detaljno je opisana u [1], gdje je pokazano da, obzirom na dinamiku DC-SOGI bloka, optimalna vrijednost parametra $k_i = 85.3135$.

Oba filtera $W_{m\alpha}(s)$ i $W_{m\beta}(s)$ su filtri propusnici opsega i imaju identične imeniocice, ali različite brojiocice. Filter $W_{m\alpha}(s)$ u brojiocu ima ωs^2 , a filter $W_{m\beta}(s)$ ima $\omega^2 s$. Ova razlika u brojiocima je suštinski važna za generisanje dva signala $v_\alpha(t)$ i $v_\beta(t)$ fazno pomjerena za $\pi/2$ na DC-SOGI bloka. Ukoliko se zamijeni $s = j\omega$ u (1) i (2) može se zaključiti da filter $W_{m\alpha}(s)$

unositi nulto fazno kašnjenje, dok filter $W_{m\beta}(s)$ unosi fazno kašnjenje od $\pi/2$ u odnosu na ulazni izmjereni mrežni napon.

Za obradu signala se u posljednje vrijeme najčešće koriste digitalna kola kao što su FPGA, DSP (engl. Digital Signal Processor) i sl. Da bi se neka upravljačka struktura, kao što je PLL implementirala na digitalnom kolu neophodno je prethodno izvršiti diskretizaciju strukture, što podrazumijeva diskretizaciju svakog pojedinačnog bloka strukture. Prilikom procesa diskretizacije neophodno je odabrati i period u odabiranja, koji ima značajan uticaj na rad DC-SOGI bloka. U [5] je izvršena analiza stabilnosti, te odziva DC-SOGI bloka i cjelokupne SRF-PLL strukture.

Kao što je poznato, bilinearna transformacija preslikava lijevi dio s -poluravnini u unutrašnjost jediničnog kruga u z -domenu, što znači da ukoliko je neka funkcija prenosa stabilna u s -domenu, njena slika u z -domenu je takođe stabilna. Bez obzira na ovu činjenicu proveden je rigorozan dokaz stabilnosti funkcija prenosa filtera u z -domenu [5]. Filter $W_\beta(s)$ je niskopropusni filter i on ne može eliminisati jednosmjernu komponentu ukoliko se ona pojavi u izmjenom mrežnom naponu. Dakle, u opštem slučaju dvofazni generator sam ne može eliminisati unešenu jednosmjernu komponentu ukoliko se ne uvede petlja predložena u [5]. Blok dijagram DC-SOGI bloka u z -domenu prikazan je na sl. 3.



Slika 3 Blok dijagram diskretnog DC-SOGI bloka [5]

Sa blok dijagrama sa sl. 3 jasno se vidi da su diskretizovani blokovi analogni onima u kontinualnom domenu i vrše istu funkciju. Dakle, ako diskretizovani ulazni mrežni napon $v_{in}(z)$ sadrži jednosmjernu komponentu. $W_\alpha(z)$ djeluje kao filter propusnik opsega frekvencija, pa ne propušta jednosmjernu komponentu, a estimirana vrijednost jednosmjerne komponente $e_{DC}(z)$ dobije se razlika signala na ulazu i izlazu ovog filtera: $e_{DC}(z) = e(z) - v_\alpha(z)$. Estimirana jednosmjerna komponenta dalje se poredi sa njenom referentnom vrijednošću $v_{DC}(z)=0$ i greška se propušta kroz jednostavni regulator (integrator) $W_r(z)$, te se na kraju oduzme od ulaznog signala koji u sebi sadrži jednosmjernu komponentu. Na ovaj način jednosmjerna komponenta koje ja postojala u izmjenom ulaznom mrežnom naponu $v_{in}(z)$ biće eliminisana. Kao što je već rečeno, ključni parametar upravljačke petlje DC-SOGI bloka, za eliminaciju jednosmjerne komponente je parametar k_i koje određuje dinamiku eliminacije jednosmjerne komponente. Funkcije prenosa modifikovanih filtera $W_{m\alpha}(z)$ i $W_{m\beta}(z)$, u skladu sa sl. 3, imaju sljedeći oblik:

$$W_{m\alpha}(z) = \frac{V_\alpha(z)}{V_m(z)} = \frac{W_\alpha(z)}{1 + W_r(z)[1 - W_\alpha(z)]} \quad (3)$$

$$W_{m\beta}(z) = \frac{V_\beta(z)}{V_n(z)} = \frac{W_\beta(z)}{1 + W_r(z)[1 - W_\alpha(z)]} \quad (4)$$

Korišćeni regulator upravljačke petlje DC-SOGI bloka je jednostavni integrator i u z -domenu primjenom bilinearne transformacije njegova funkcija prenosa je:

$$W_r(z) = k_i \frac{T_s}{2} \frac{z+1}{z-1}, \quad G_r(z) = k_i^* \frac{z+1}{z-1}, \quad k_i^* = k_i \frac{T_s}{2} \quad (5)$$

Nakon sređivanja i pojednostavlivanja $W_{m\alpha}(z)$ i $W_{m\beta}(z)$ se mogu pisati u formi:

$$W_{\alpha m}(z) = \frac{r(z^3 - z^2 - z + 1)}{z^3 + p_1 z^2 + p_2 z + p_3} \quad (6)$$

$$W_{\beta m}(z) = \frac{t(z^3 + z^2 - z - 1)}{z^3 + p_1 z^2 + p_2 z + p_3} \quad (7)$$

gdje je:

$$p_1 = \frac{p + k_i^*(1-r+p) - 1}{1 + k_i^*(1-r)}, \quad p_2 = \frac{q - p + k_i^*(r+p+q)}{1 + k_i^*(1-r)},$$

$$p_3 = \frac{k_i^*(r+q) - q}{1 + k_i^*(1-r)},$$

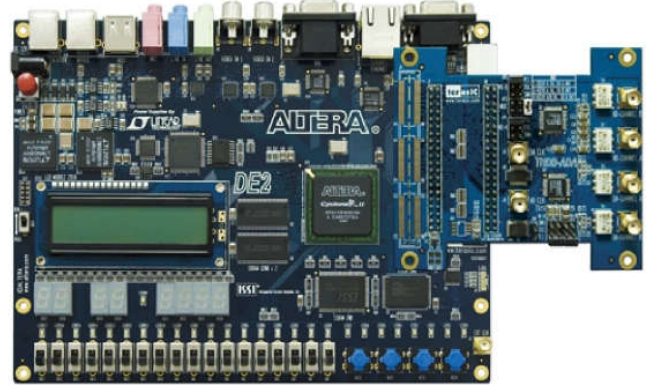
Jasno je da su oba modifikovana filtra $W_{m\alpha}(z)$ i $W_{m\beta}(z)$ DC-SOGI bloka filteri propusnici opsega i da ne propuštaju niti jednosmjernu komponentu, a ni visokofrekventni šum ukoliko se oni pojave u izmjerenom mrežnom naponu. Da predloženi filter ne propušta jednosmjernu komponentu potvrđeno je korišćenjem teoreme graničnih vrijednosti u z -domenu.

III. EKSPERIMENTALNI REZULTATI

Strukture i algoritmi za filtriranje signala danas se uglavnom implementiraju na digitalnom hardveru. Kao digitalni hardver u ovom radu je korišćeno FPGA kolo. FPGA spada u vrstu programabilnih kola na kome mogu da se realizuju različite digitalne strukture (upravljačke strukture/algoritmi) i koji mogu biti isprogramirani/reprogramirani izvan mjesta proizvodnje. Moderna FPGA kola mogu sadržati elemente kao što su procesorska jezgra, PLL kola, ugrađena RAM memorija, itd. Programiraju se HDL (eng. Hardware description language) programskim jezicima od kojih su najpoznatiji VHDL (eng. VHSIC Hardware description language; eng. VHSIC – Very High Speed Integrated Circuit) i Verilog (standardizovan programski jezik IEEE 1364). Kodovi u ovim programskim jezicima se, pored pisanja u HDL editoru, mogu automatski generisati iz drugih programskih okruženja, kao što su MATLAB, Quartus i sl. Generisanje HDL koda u MATLAB okruženju moguće je iz: Simulink modela, Stateflow dijagrama, Embedded MATLAB blokova i alatke za kreiranje digitalnih filtera. Tehnika generisanja HDL koda iz MATLAB okruženja opisana je detaljno u [6]. Naime, već isprojektovana, unaprijedena SRF-PLL struktura u Simulinku biće prilagođena MATLAB HDL koderu, a zatim će dobijeni HDL kodovi biti verifikovani u ModelSim programu, a zatim iskorišćeni za programiranje FPGA kola. Rezultati dobijeni

simulacijama u MATLAB/Simulink i ModelSim okruženju upoređeni su onima dobijenim u eksperimentima.

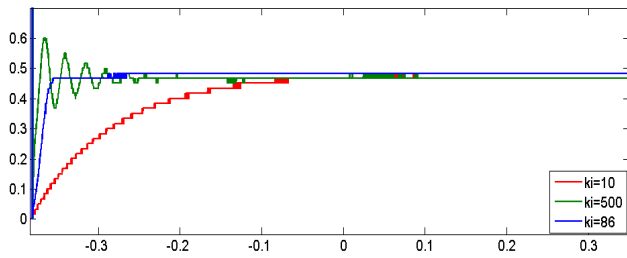
Korišćeno FPGA kolo je iz porodice Cyclone II smješteno na Altera DE2 ploču [7]. Da bi se signali sa DE2 ploče mogli posmatrati na osciloskopu i snimati sa istog, neophodno je bilo izvršiti digitalno-analognu konverziju, za šta je poslužila Terasic AD/DA ploča [8]. AD/DA ploča vrši konverziju 14-bitnog podatka u analognu vrijednost, prema tome, bilo je neophodno konvertovati dužine izlaznih signala postojeće PLL strukture. Ovo skraćivanje nije uticalo na analizu rada strukture. Altera DE2 ploča, zajedno sa Terasic AD/DA pločom prikazana je na sl. 4.



Slika 4. Altera DE2 ploča zajedno sa Terasic AD/DA pločom [10]

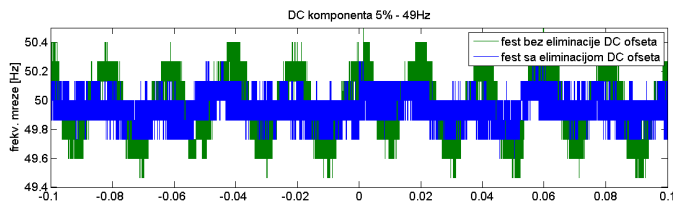
U ovom radu dati su eksperimentalni rezultati koji pokazuju ponašanja diskretne SRF-PLL strukture sa DC-SOGI blokom na FPGA kolu, a koji su dobijeni na izlazu DA konvertora. Rezultati simulacija diskretne SRF-PLL strukture dobijeni u Simulink i ModelSim okruženju [6] pokazali su da se diskretna struktura ponaša identično kao i struktura u kontinualnom domenu, te da su odstupanja minimalna. Ova odstupanja nastaju kao posljedica diskretizacije strukture i konverzije podataka iz formata pokretnog u format nepokretnog zarez. Rezultati rada implementiranja strukture na FPGA kolu su takođe zadovoljavajuće dobri.

Prvo je simuliran rad DC-SOGI bloka diskretne SRF-PLL strukture u cilju analize brzine estimacije jednosmjerne komponente. Kao testni signal na ulaz DC-SOGI bloka doveden je skok jednosmjerne komponente od 50% normirane jedinične vrijednosti amplitude ulaznog mrežnog napona. Na sl. 5 prikazane su brzine estimacije jednosmjerne komponente na izlazu upravljačke petlje za eliminaciju jednosmjerne komponente DC-SOGI bloka na FPGA kolu. Eksperiment je vršen za tri različite vrijednosti parametra k_i : (10, $k_{i,opt} = 86.54$, 500). Sa sl. 5 se vidi da za manje vrijednosti parametra k_i ($k_i = 10$) brzina estimacije jednosmjerne komponente na izlazu upravljačke petlje je oko 0.5 s, a to je suviše sporo i negativno utiče na dinamičko ponašanje cijele SRF-PLL strukture. S druge strane ukoliko je vrijednost parametra k_i velika ($k_i = 500$) dobijaju se neželjene oscilacije u estimiranoj vrijednosti. Za optimalnu vrijednost parametra $k_{i,opt} = 86.54$, prelazni proces se završava za 0.1 s što je u skladu sa provedenom analizom i sa simulacijama rada upravljačke petlje u kontinualnom domenu.

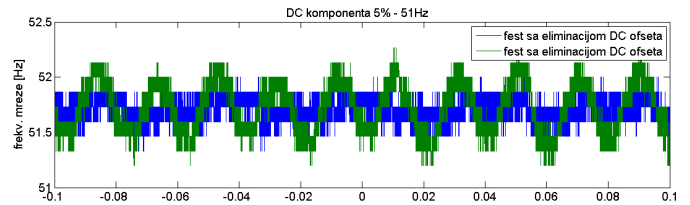


Slika 5 Brzina estimacije jednosmjerne komponente na izlazu upravljačke petlje DC-SOGI bloka na FPGA kolu, pri 50% jednosmjerne komponente od normirane vrijednosti amplitude ulaznog signala

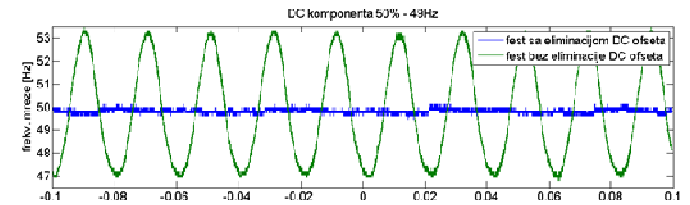
Sljedeća analiza odnosi se na ponašanje SRF-PLL strukture sa DC-SOGI blokom za dva slučaja. U prvom slučaju parametri mreže su dostigli svoja stacionarna stanja i potrebno je izvršiti njihovu estimaciju, a u drugom slučaju analizirana je brzina i način promjene ovih parametara pri skokovitim poremećajima ulaznog mrežnog napona. Ponašanje SRF-PLL strukture testirano je simulacijama u Simulink i ModelSim okruženju [6], a nakon toga implementacija i na samom kolu. Za estimaciju frekvencije i amplitude mreže u stacionarnom stanju, na ulaz PLL strukture dovodi se sinusi signal $v_m(t) = \sin(\omega t)$, normirane amplitude 1, sa malim i velikim procentom jednosmjerne komponente (5% i 50% normirane vrijednosti). Testiranja su rađena za dvije granične vrijednosti frekvencije 49 Hz i 51 Hz i za dvije granične vrijednosti amplitude 0.5 i 1.35 normirane vrijednosti mrežnog napona, prema definisanim internacionalnim standardima kao što su: IEEE 1547 i IEC 61727. Pri postojanju jednosmjerne komponente u izmjerenom mrežnom naponu estimirani parametri mreže i u stacionarnom stanju imaju veliku talasnost ako upravljačka petlja za eliminaciju jednosmjerne komponente ne postoji. Dakle, u ovim slučajevima nemoguće je tačno odrediti vrijednost ovih parametara. S druge strane, kada se primijeni upravljačka petlja, ona u potpunosti eliminiše jednosmjernu komponentu i nema talasnosti u estimiranim parametrima mreže. Rezultati su prikazani na sl. 7-14. Potrebno je napomenuti da je na sl. 6-9 i 14 (estimacija frekvencije u stacionarnom stanju i skokovita promjena frekvencije) prisutan ofset od 0.5 Hz, nastao kao posljedica konverzije podataka dobijenih sa osciloskopa u oblik prihvatljiv MATLAB-u, programu u kom su se crtali grafici.



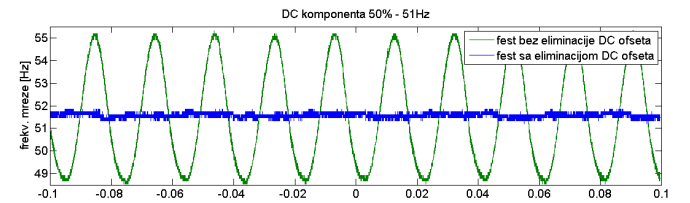
Slika 6 Estimirana frekvencija mreže od 49 Hz sa 5% jednosmjerne komponente u stacionarnom stanju bez (zeleno) i sa (plavo) upravljačkom petljom za eliminaciju jednosmjerne komponente



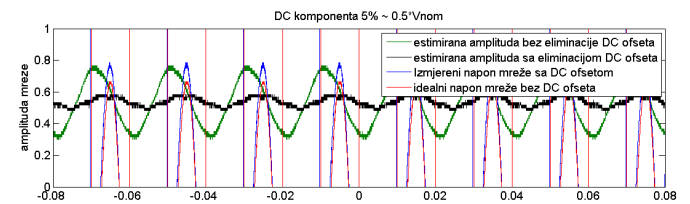
Slika 7 Estimirana frekvencija mreže od 51 Hz sa 5% jednosmjerne komponente u stacionarnom stanju bez (zeleno) i sa (plavo) upravljačkom petljom za eliminaciju jednosmjerne komponente



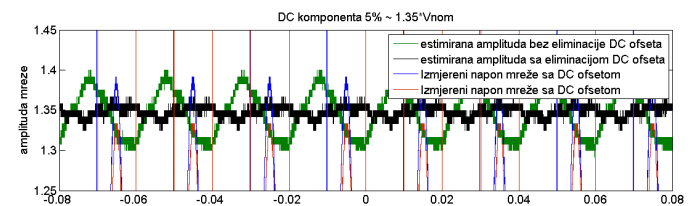
Slika 8 Estimirana frekvencija mreže od 49 Hz sa 50% jednosmjerne komponente u stacionarnom stanju bez (zeleno) i sa (plavo) upravljačkom petljom za eliminaciju jednosmjerne komponente



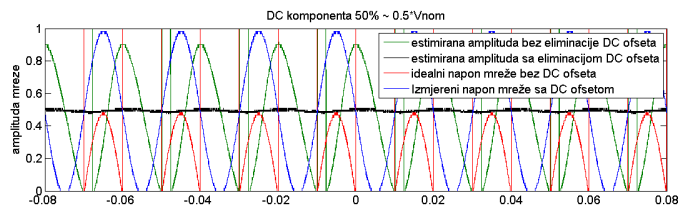
Slika 9 Estimirana frekvencija mreže od 51 Hz sa 50% jednosmjerne komponente u stacionarnom stanju bez (zeleno) i sa (plavo) upravljačkom petljom za eliminaciju jednosmjerne komponente



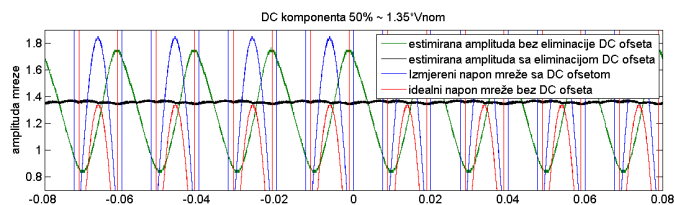
Slika 10 Estimirana amplituda mreže $0.5 \cdot V_{nom}$ sa 5% jednosmjerne komponente u stacionarnom stanju bez (zeleno) i sa (crna) upravljačkom petljom za eliminaciju jednosmjerne komponente



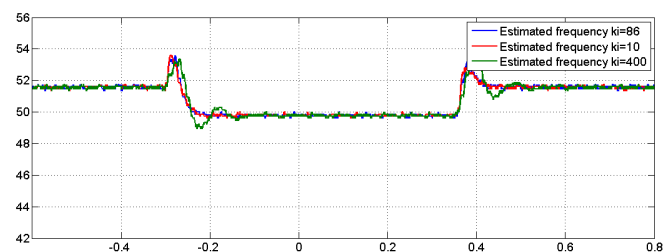
Slika 11 Estimirana amplituda mreže $1.35 \cdot V_{nom}$ sa 5% jednosmjerne komponente u stacionarnom stanju bez (zeleno) i sa (crna) upravljačkom petljom za eliminaciju jednosmjerne komponente



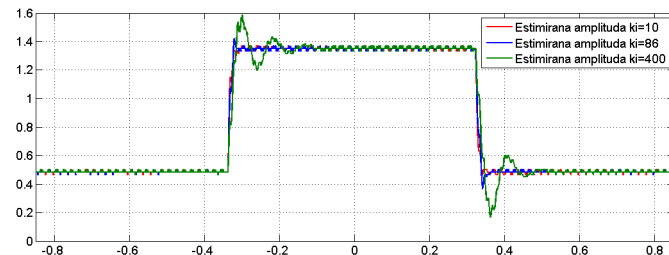
Slika 12 Estimirana amplituda mreže $0.5 \cdot V_{nom}$ sa 50% jednosmjerne komponente u stacionarnom stanju bez (zelena linija) i sa (crna linija) upravljačkom petljom za eliminaciju jednosmjerne komponente



Slika 13 Estimirana amplituda mreže $1.35 \cdot V_{nom}$ sa 50% jednosmjerne komponente u stacionarnom stanju bez (zelena linija) i sa (crna linija) upravljačkom petljom za eliminaciju jednosmjerne komponente



Slika 14 Rezultati implementacije na FPGA kolu: odziv PLL strukture pri skokovitoj promjeni frekvencije mrežnog napona sa 51 Hz na 49 Hz i obrnuto



Slika 15 Rezultati implementacije na FPGA kolu: odziv PLL strukture pri skokovitoj promjeni amplitude mrežnog napona sa 0.5 Hz na 1.35 Hz i obrnuto.

ZAKLJUČAK

Kod jednofaznih sistema generisanje dva kvadraturna signala je znatno komplikovanije, obzirom da se oni izvode iz jednofaznog mrežnog napona. U tu svrhu potrebno je projektovati dvofazni generator. Nakon analize postojećih dvofaznih generatora kod jednofaznih PLL struktura predložen je unaprijeđeni dvofazni generator DC-SOGI koji pored generisanja kvadraturnih signala ima mogućnost eliminacije uticaja šuma i jednosmjerne komponente na rad SRF-PLL strukture. Ovakva unaprijeđena SRF-PLL struktura je zatim diskretizovana da bi se realizovala na nekom digitalnom uređaju, u konkretnom slučaju na FPGA kolu.

Blokovi ove modifikovane SRF-PLL strukture se kodiraju pomoću Simulink HDL kodera, nakon čega se u Quartus okruženju projektuje digitalna SRF-PLL struktura. Simulacije rada ove strukture vrše se u ModelSim okruženju, a zatim se cijela struktura „spušta“ na FPGA kolu, te se snimaju rezultati rada strukture na kolu uz pomoć DA konvertora i osciloskopa. Pri tome se testira odziv strukture za različite vrijednosti parametra k_i , pri skokovitim promjenama frekvencije i amplitude mrežnog napona, kao i sposobnost estimacije parametara mreže, a sve to ukoliko je u izmjenom mrežnom naponu prisutna jednosmjerna komponenta. Eksperimentalni rezultati rada strukture su dokazali validnost matematički izvedenih vrijednosti parametara upravljačke petlje DC-SOGI bloka. Poređenjem rezultata simulacija iz Simulink i ModelSim okruženja i onih dobijenih eksperimentalno i prikazanih na osciloskopu dolazi se do zaključka da struktura može vrlo jednostavno biti realizovana na FPGA kolu i da tako implementirana daje zadovoljavajuće rezultate rada.

U budućim koracima trebalo bi predloženi dvofazni generator modifikovati da bi mogao riješiti probleme izazvane pojavom viših harmonika u mrežnom naponu, zatim simetričnog i asimetričnog zasićenja (odsijecanja) izmjenom mrežnog napona i slično.

LITERATURA

- [1] S. Lubura, M. Šoja, S. Lale, M. Ikić, “Single-phase phase locked loop with DC offset and noise rejection for photovoltaic inverters”, IET Power Electronics, Vol. 7, No. 9, pp. 2288 - 2299, ISSN 1755-4535, DOI 10.1049/iet-pel.2013.0413, 2014
- [2] M. Ciobotaru, R. Teodorescu, and F. Blaabjerg, “A new single-phase PLL structure based on second order generalized integrator,” in Proc. 37th IEEE PESC, pp. 1511–1516, Jun. 2006.
- [3] P. Rodriguez, A. Luna, M. Ciobotaru, R. Teodorescu, and F. Blaabjerg, “Advanced Grid Synchronization System for Power Converters under Unbalanced and Distorted Operating Conditions,” IEEE Industrial Electronics, IECON 2006 - 32nd Annual Conference on, vol., no., pp. 5173-5178, 6-10 Nov. 2006.
- [4] M. Ciobotaru, R. Teodorescu, and F. Blaabjerg, “A New Single-Phase PLL Structure Based on Second Order Generalized Integrator,” Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE, vol., no., pp. 1-6, 18-22 June 2006.
- [5] S. Lale, S. Lubura, M. Šoja, M. Ikić “A Digital Design of Novel Two-Phase Generator as Part of SRF-PLL Structure for PV Inverters” INFOTEH-JAHORINA Vol. 13, March 2014.
- [6] M. Ristović Krstić “Unaprijeđena jednofazna PLL struktura kao dio upravljačke strukture PV invertora”, INFOTEH-JAHORINA Vol. 15, March 2016.
- [7] Altera Corporation: DE2 Development and Education Board, User Manual, Version 1.4
- [8] Terasic: THDB ADA User Guide, 2008

ABSTRACT

Focus of research described in this paper was single-phased PLL structure implementation, SRF-PLL (Synchronous Reference Frame-Phase Locked Loop) which is used for PV inverter synchronisation with grid, on FPGA board. In this paper is presented two-phase generator DC-SOGI (Direct Current free Second Order Generalized Integrator) which eliminates noise and DC offset from input single-phase grid signal. Characteristics and behavior of discrete SRF-PLL structure implemented on digital hardware are examined.

