

# Unaprijeđena jednofazna PLL struktura kao dio upravljačke strukture PV invertora

Milica Ristović Krstić  
Elektrotehnički fakultet  
Univerzitet u Istočnom Sarajevu  
milica.ristovic@etf.unssa.rs.ba

**Sažetak**— Fokus istraživanja opisanih u ovom radu bile su jednofazne PLL strukture, konkretno SRF-PLL (engl. synchronous reference frame–phase locked loop) strukture koje se koriste za sinhronizaciju fotonaponskih invertora sa mrežom. Kod svih SRF-PLL suštinski važno da blok koji prethodi faznom detektoru generiše dva kvadratura signala. U ovom radu predstavljen je dvofazni generator koji pored mogućnosti generisanja kvadraturnih signala ima i mogućnost eliminacije šuma i jednosmjerne komponente iz ulaznog jednofaznog napona. Predstavljani su rezultati rada ove diskretizovane strukture u *MATLAB/Simulink* i *ModelSim* okruženju.

**Ključne riječi**- SRF-PLL; dvofazni generator; eliminacija jednosmjerne komponente; FPGA;

## I. UVOD

Sinhronizacioni blok kao dio upravljačke strukture pretvarača energetske elektronike (invertora) ima ključni značaj za njihovo povezivanje sa mrežom. Jedan od važnijih parametara u tački spajanja invertora sa mrežom je fazni ugao između napona mreže i struje invertora koji određuje smjer prenosa energije između invertora i mreže. Sinhronizacioni algoritmi se razvijaju jako dugo, u početku su oni bili zasnovani na detekciji presjeka mrežnog napona sa nulom, dok se danas primjenjuju složeni sinhronizacioni algoritmi implementirani na digitalnim kolima visokih performansi. Jedna od tih sinhronizacionih struktura je fazno zaključana petlja (eng. Phase Locked Loop - PLL). U ovom radu predstavljena je unaprijeđena PLL struktura koja služi za sinhronizaciju jednofaznih pretvarača energetske elektronike sa mrežom, konkretno jednofaznog fotonaponskog invertora. Ova unaprijeđena jednofazna PLL struktura je specifična po tome što ima mogućnost i estimacije parametara mreže, pa čak i ukoliko je ulazni mrežni napon zagađen šumom ili harmonicima. U ovom radu biće detaljno prikazan način mapiranja predložene unaprijeđene PLL strukture na digitalnu hardversku platformu, u konkretnom slučaju na FPGA kolo. Verifikacija kvaliteta mapiranja izvršena je uporednom analizom analogne i dobijene diskretne forme PLL strukture. Nakon što je izvršeno istraživanje pregleda stanja u oblasti primjene jednofaznih PLL struktura kao dijela upravljačkog kola kod PV invertora, izvršena je detaljna matematička analiza i pristupilo se modelovanju pojedinih komponenti PLL strukture, kao što su: PD (eng. Phase Detector), VCO (eng. Voltage Controlled Oscillator) i sl.[1]. Provjeren je rad projektovanih elemenata kroz simulacije u simulacionom softveru, a nakon ocjene ponašanja predložene PLL strukture u simulacionom okruženju pristupilo se njenom mapiranju u digitalni harvder. Nakon ove faze uslijedila je ocjena ponašanja

tako mapirane PLL strukture u različitim simulacionim okruženjima, te međusobno poređenje rezultata.

## II. UNAPRIJEĐENI FAZNI DETEKTOR KAO DIO JEDNOFAZNE SRF-PLL STRUKTURE

Sve su veće potrebe za razvijanjem jednofaznih PLL struktura koje služe za sinhronizaciju sistema besprekidnog napajanja i distribuisanih izvora sa mrežom. Nakon izvršene analize različitih sinhronizacionih tehnika, odnosno različitih PLL struktura, došlo se do zaključka da se sve one uglavnom razlikuju prema načinu realizacije PD bloka. PD blok zasnovan na Parkovoj transformaciji ( $\alpha\beta$ -dq) koji je veoma popularan kod trofaznih sistema zbog svoje efikasnosti i jednostavnosti. Međutim, kod jednofaznih sistema, zbog nedostatka više nezavisnih ulaznih signala, kao kod trofaznih sistema, njihova primjena je komplikovanija. Zbog toga su predložene neke metode za generisanje ortogonalnog signala u odnosu na ulazni signal u jednofaznom sistemu, da bi primjena PD bloka bila moguća. U literaturi su predlagani različiti PD blokovi kao dijelovi PLL struktura, ali svi oni su uglavnom zasnovani na SOGI (eng. Second Order Generalized Integrator) i inverznim Parkovim OSG blokovima. Ove strukture se nazivaju SOGI PLL i Park PLL strukture. One su privukle mnogo pažnje istraživača zahvaljujući jednostavnom projektovanju, digitalnoj implemetaciji, i zadovoljavajućim performansama u uslovima promjenjive frekvencije mrežnog napona ili prisustvu harmonika i šuma. Međutim, posebna pažnja se posvetila uticaju jednosmjerne komponente na rad PLL strukture. U [2] je pokazano da je estimacija parametara mrežnog napona nemoguća ukoliko mjereni mrežni napon sadrži jednosmjernu komponentu. Pri mjerenju mrežnog napona kolo prilagođenja vrši sljedeće zadatke: skaliranje mrežnog napona, filtriranje i A/D konverziju. Nelinearnost senzora za mjerenje napona, proces A/D konverzije i temperaturna osjetljivost analognih komponenti mogu izazvati postojanje jednosmjerne komponente čak i ukoliko je kolo prilagođenja sa mrežom dobro isprojektovano. Kao posljedica, neželjena jednosmjerna komponenta neizbježno će se pojaviti i na izlazu PLL strukture, kao sastavni dio referentnog sinusnog signala (referentna struja kod fotonaponskih invertora). Dakle, jednosmjerna komponenta koja se unosi u PLL strukturu mora se na neki način ukloniti. Jedan od načina eliminacije jednosmjerne komponente je dodavanje filtra propusnika opsega prije same PLL strukture. Nažalost, ovaj filter utiče na dinamičke karakteristike cjelokupne upravljačke strukture jer se redno veže sa ostalim komponentama [3]. Tako da je ovo rješenje neprihvatljivo. Bilo bi korisno da sama PLL struktura, bez dodavanja eksternih filtera, ima mogućnost eliminacije jednosmjerne komponente ulaznog signala ili barem njenog

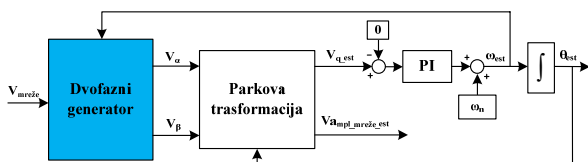
ograničenja na maksimalnu dozvoljenu vrijednost u skladu sa pomenutim standardima, što je i predloženo u ovom radu.

SOGI-PLL i Park-PLL mogu precizno generisati dva kvadratura signala izvedena iz jednofaznog ulaznog signala. Ovi generatori trebali bi ispravno raditi bez obzira na poremećaje ulaznog signala. Međutim, poremećaji mrežnog napona kao što su nesimetričnost ili postojanje jednosmjerne komponente, utiče na to da fazna razlika između signala na izlazu dvofaznog generatora ne bude tačno  $\pi/2$ , pa dolazi do greške estimacije mrežnih parametara. U [3] je predloženo da se jednosmjerna komponenta eliminiše pomoću niskopropusnog filtra kao dijela strukture dvofaznog generatora, međutim nije data specifikacija ovih filtera. U [4] je predloženo da PLL-SRF struktura i blok za eliminaciju jednosmjerne komponente budu odvojeni i da se blok za eliminaciju jednosmjerne komponente sastoji od dvije odvojene cjeline. Prva cjelina je integrator za estimaciju jednosmjerne komponente iz  $d$ -komponente napona, a druga je PI regulator koji uklanja tu jednosmjernu komponentu. Međutim, nije predložena metoda za izbor parametara PI regulatora. Metoda eliminisanja uticaja jednosmjerne komponente na rad PLL strukture, predložena u [5] je mnogo jednostavnija. Naime, opisan je dvofazni generator koji ima mogućnost da potpuno eliminiše jednosmjernu komponentu i šum ukoliko se oni pojave na izlazu kola prilagođenja mrežnog napona. Osnovna ideja je modifikacija dvofaznog generatora i dodavanje jednostavne upravljačke petlje u sam generator, pri čemu se istovremeno generišu fazno pomjereni signali i eliminiše se jednosmjerna komponenta bez dodavanja ikakvih filtera. Predloženi generator je robustan i ima brz odziv na promjene parametara mreže. On takođe efikasno eliminiše i šum u mjerenom mrežnom naponu. U [6]. je analizirana stabilnost i odziv predloženog dvofaznog generatora kao dijela SRF-PLL strukture. Detaljno je opisan rigorozni proces optimizacije, odnosno odabiranja optimalnih parametara dvofaznog generatora. Jednofazna SRF-PLL struktura prikazana je na sl. 1. Ključna komponenta jednofazne SRF-PLL strukture je dvofazni generator koji generiše dva kvadratura signala  $v_\alpha$  i  $v_\beta$  iz jednofaznog mrežnog napona koji je uglavnom izobličen. Ovaj generator se sastoji od dva filtera drugog reda. Funkcije prenosa ovih filtera u kontinualnom domenu date su jednačinama (1) i (2).

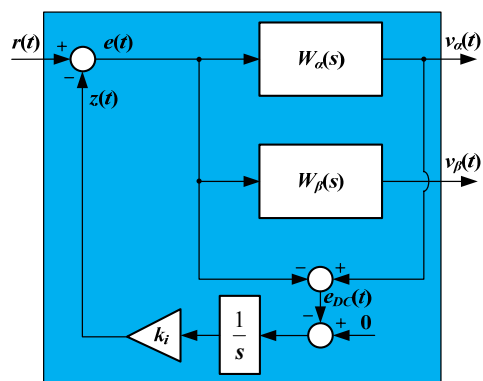
$$W_\alpha(s) = \frac{\omega s}{s^2 + \omega s + \omega^2} \quad (1)$$

$$W_\beta(s) = \frac{\omega^2}{s^2 + \omega s + \omega^2} \quad (2)$$

Jedan od njih  $W_\alpha(s)$  je filter propusnik opsega frekvencije, dok je drugi  $W_\beta(s)$  niskopropusni filter, pa oba ova filtera uspješno prigušuju samo visokofrekventni šum, ali ne mogu eliminisati jednosmjernu komponentu ukoliko se ona pojavi u



Slika 1. Blok dijagram jednofazne SRF-PLL strukture [6]



Slika 2. Dvofazni generator sa jednostavnom zatvorenom petljom za eliminaciju jednosmjerne komponente [6]

izmerenom mrežnom naponu. Pored toga, za rad dvofaznog generatora je važno da se  $\omega_{est}$  poklapa sa frekvencijom  $\omega$ , tj. on treba biti frekvencijski adaptivan. Unesena jednosmjerna komponenta, kako je dokazano u [1], uzrokuje neželjenu talasnost u estimiranim vrijednostima mrežne frekvencije i amplitude na izlazu PLL strukture. Veličina ove talasnosti zavisi od procenta jednosmjerne komponente u mjerenom mrežnom naponu i ona takođe ima osnovnu frekvenciju mreže. Blok dijagram dvofaznog generatora koji ima mogućnost eliminacije jednosmjerne komponente prikazan je na sl. 2. Ako se pretpostavi da izmjereni mrežni napon  $r(t)$  sadrži jednosmjernu komponentu, vrijednost te jednosmjerne komponente estimira se na izlazu upravljačke petlje i nakon toga se oduzima od ulaznog napona superponiranog sa jednosmjernom komponentom. Ključni parametar predložene zatvorene petlje je parametar integralnog dejstva  $k_i$ . Parametar  $k_i$  određuje dinamiku odziva sistema, tj. ima ključni uticaj na brzinu eliminacije jednosmjerne komponente. Funkcija prenosa filtera koji čine modifikovani dvofazni generator, izvode se u skladu sa sl. 2 i date su jednačinama (3) i (4).

$$W_{ma}(s) = \frac{(\omega s^2 / (s^2 + \omega s + \omega^2))}{s + k_i((s^2 + \omega^2) / (s^2 + \omega s + \omega^2))} = \frac{\omega s^2}{s^3 + (\omega + k_i)s^2 + \omega^2 s + k_i \omega^2} \quad (3)$$

$$W_{m\beta}(s) = \frac{(\omega^2 / (s^2 + \omega s + \omega^2))}{(\omega s / (s^2 + \omega s + \omega^2)) s^3 + (\omega + k_i)s^2 + \omega^2 s + k_i \omega^2} = \frac{\omega^2}{s^3 + (\omega + k_i)s^2 + \omega^2 s + k_i \omega^2} \quad (4)$$

$$= \frac{\omega^2 s}{s^3 + (\omega + k_i)s^2 + \omega^2 s + k_i \omega^2}$$

Može se zaključiti da su oba filtera  $W_{ma}(s)$   $W_{m\beta}(s)$  propusnici opsega frekvencija i imaju identične imeniocce, ali različite brojiocce. Filter  $W_{ma}(s)$  u brojiocu ima član  $\omega s^2$ , dok filter  $W_{m\beta}(s)$  ima član  $\omega^2 s$ . Ova razlika je ključna za generisanje signala  $v_\alpha(t)$  i  $v_\beta(t)$  na izlazu dvofaznog generatora, između kojih je fazna razlika  $\pi/2$ . Ukoliko se zamijeni  $s = j\omega_{est}$  u (3) i (4) može se zaključiti da filter  $W_{ma}$  unosi nulto fazno kašnjenje, dok filter  $W_{m\beta}$  unosi fazno kašnjenje od  $\pi/2$  u odnosu na ulazni izmjereni mrežni napon  $r(t)$ , na frekvenciji  $\omega_{est}$ . Filtri propusnici opsega frekvencija ne propuštaju jednosmjernu komponentu i visokofrekventni šum ako ih ulazni napon uopšte sadrži. Ovu tvrdnju je lako dokazati korišćenjem druge granične teoreme u Laplasovom domenu. Primjenom ove teoreme dolazi se do zaključka da predloženi dvofazni generator može uspješno da eliminiše jednosmjernu

komponentu ukoliko se ona pojavi u signalu na izlazu dvofaznog generatora.

Kada je stabilnostovog dvofaznog generatora u pitanju, ona se određuje analizom funkcije povratnog prenosa  $W_p(s)$ , koja je jednaka:

$$W_p(s) = \frac{k_i}{s} \left( \frac{s^2 + \omega^2}{s^2 + \omega s + \omega^2} \right) \quad (5)$$

Analizom geometrijskog mjesta korjena, zaključuje se da je predloženi dvofazni generator ( $W_{ma}(s)$  i  $W_{mp}(s)$ ) stabilan za svaku pozitivnu vrijednost parametra  $k_i$ . Međutim, vrijednost parametra  $k_i$  utiče na dinamički odziv sistema jer određuje korjene karakterističnog polinoma  $D(s) = 1 + W_p(s) = s^3 + (\omega + k_i) s^2 + \omega^2 s + k_i \omega^2$  u kompleksnom  $s$ -domenu. Kada vrijednost parametra  $k_i$  raste, realni dio kompleksno konjugovanih korjena  $D(s)$  polinoma raste i približava se imaginarnoj osi, dok se realni korjen smanjuje. Kada se vrijednost parametra  $k_i$  smanjuje, realni dio kompleksnih konjugovanih korjena  $D(s)$  polinoma se smanjuje i približava se imaginarnoj osi. Dakle, postoji kontradiktornost prilikom odabira vrijednosti parametra  $k_i$  jer realni korjen i realni dio kompleksno konjugovanog korjena direktno utiču na vremensku konstantu odziva dvofaznog generatora. Dakle, potrebno je provesti proces optimizacije parametra  $k_i$ .

Ukoliko se pretpostavi da izmjereni mrežni napon sadrži jednosmjernu komponentu to se može izraziti kao:  $v_{in}(t) = V_{in} \cos(\omega t) + C$ . Nakon izvođenja inverzne Laplasove transformacije i provođenja detaljne matematičke analize, došlo se do optimalne vrijednosti parametra  $k_i = 85,3135 = k_{opt}$ . U nastavku će se nizom simulacija pokazati da je ovo zaista optimalna vrijednost parametra  $k_i$ .

### III. PRILAGOĐENJE UNAPRIJEĐENE PLL STRUKTURE DIGITALNOM FPGA KOLU

Upravljačke strukture i algoritmi za filtriranje signala danas se uglavnom implementiraju na digitalnom hardveru. Kao digitalni hardver u ovom radu je korišćeno FPGA kolo (eng. Field Programmable Gate Arrays). Da bi se opisana unaprijeđena SRF-PLL struktura implementirala na FPGA kolu, potrebno je izvršiti diskretizaciju analogne SRF-PLL strukture. Svakako je najveći izazov bio diskretizacija dvofaznog generatora kao sastavnog dijela ove strukture. Primjenom bilinearne transformacije na funkcije prenosa (1) i (2) dobijaju se funkcije prenosa ovih filtera u  $z$ -domenu. Kao što je poznato, bilinearne transformacije preslikava lijevi dio  $s$ -poluravnine u unutrašnjost jediničnog kruga u  $z$ -domenu, što znači da ukoliko je funkcija prenosa stabilna u  $s$ -domenu, njena slika u  $z$ -domenu je takođe stabilna. Bez obzira na ovu činjenicu proveden je rigorozan dokaz stabilnosti funkcija prenosa filtera u  $z$ -domenu [7].

FPGA spada u vrstu programabilnih kola na kome mogu da se realizuju različite digitalne strukture (upravljačke strukture/algoritmi) i koji mogu biti isprogramirani/reprogramirani izvan mjesta proizvodnje. Moderna FPGA kola mogu saržati elemente kao što su

procesorska jezgra, PLL kola, ugrađena RAM memorija, itd. Programiraju se HDL (eng. Hardware description language) programskim jezicima. Kodovi u ovim programskim jezicima se, pored pisanja u HDL editoru, mogu automatski generisati iz drugih programskih okruženja, kao što su MATLAB, Quartus i sl. Naime, već isprojektovana, diskretizovana, unaprijeđena SRF-PLL struktura u Simulinku biće prilagođena MATLAB HDL koderu, a zatim će dobijeni HDL kodovi biti verifikovani u *ModelSim* programu te upoređeni sa rezultatima dobijenim u *MATLAB/Simulink* okruženju. Koraci potrebni za generisanje HDL koda u Simulinku su:

a) *Kreiranje modela kompatibilnog HDL koderu* – u ovom koraku je potrebno izvršiti adekvatnu zamjenu svih postojećih blokova sa onima koje podržava HDL koder. Biblioteka blokova `hdl_supported.mdl`, koju generiše `hdllib.m`, omogućava brz i jednostavan pristup svim podržanim blokovima od strane HDL koder [8]. Izgradnjom modela uz pomoć blokova iz ove biblioteke osigurava se da model bude kompatibilan sa HDL koderom. Naime, kod unaprijeđene SRF-PLL strukture, dvofazni generator je potpuno kompatibilan sa HDL koderom, obzirom da je on prethodno diskretizovan. Ovaj blok je u suštini najsloženiji u cijelom sistemu. Kada su u pitanju preostali blokovi SRF-PLL strukture SRF blok, PI regulator, te integrator, odnosno VCO blok, oni su prilagođeni HDL koderu tako što su postojeći blokovi iz kontinualnog domena zamjenjeni onim u diskretnom domenu, odnosno umjesto sinusnih i kosinusnih funkcija korišćene su predložene *Look-up* tabele, unesena su određena jedinična kašnjenja potrebna za korektan rad blokova i sl.

b) *Konverzija podataka iz formata pokretnog u format nepokretnog zarez -* Uopšteno, brojevi se u digitalnom hardveru mogu predstaviti u formatu nepokretnog zarez, ili u formatu pokretnog zarez. Oba ova formata imaju fiksnu dužinu riječi sa određenim brojem bita, međutim, dinamički opseg tipa podataka u formatu nepokretnog zarez je mnogo manji u poređenju sa opsegom tipa podataka u formatu pokretnog zarez. Podacima u formatu pokretnog zarez mogu se mnogo bolje predstaviti stvarne vrijednosti brojeva, međutim prednosti korišćenja formata nepokretnog zarez su: koristi se manji broj logičkih kola, manja je potrošnja energije, manje korišćenje memorije, niža cijena, veća brzina. U ovom slučaju realizacije SRF-PLL strukture na FPGA kolu, korišćena je prezentacija brojeva u formatu nepokretnog zarez. Detaljnom analizom rada svih blokova, te signala na njihovom ulazu, odnosno izlazu, došlo se do zaključka da blokovi projektovane SRF-PLL strukture moraju imati 32-bitnu dužinu riječi, te da ukoliko je dužina riječi 16 bita ne dobijaju se zadovoljavajući rezultati, odnosno odstupanja u odnosu na rezultate u formatu pokretnog zarez su značajna, što nije slučaj sa 32-bitnom dužinom riječi.

c) *Generisanje HDL koda* - Nakon što se svi blokovi prilagode HDL koderu, pristupa se procesu generisanja VHDL koda za svaki od ovih blokova. Važno je napomenuti da blokovi čiji VHDL kod treba da se generiše, trebaju biti dio podsistema („Subsystem“). Nakon što se generiše VHDL kôd svakog pojedinačnog bloka SRF-PLL strukture ti kodovi se

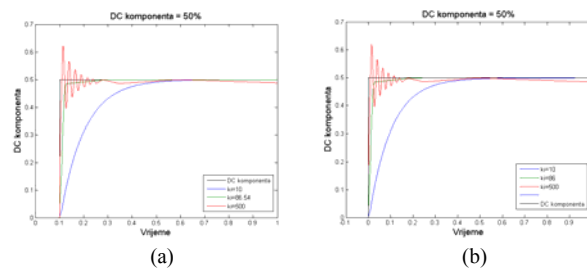
zatim jedan po jedan kopiraju u projekat *Quartus* programa, gdje se kompajliru i kreiraju se blokovi koji vrše funkcije identične onima koje vrše *Simulink* podsistemi. Nakon kreiranja ovih blokovi, oni se u *Quartus* šematski povezuju na isti način kao u *Simulink*, a zatim se generiše VHDL kôd cjelokupne strukture koji služi dalje za programiranje samog FPGA kola, ali i za simulaciju rada sistema u *ModelSim* programu. Važno je voditi računa o tipu podataka na ulazu i izlazu svakog bloka jer dužina podatka određuje širinu magistrale kojom se blokovi povezuju.

#### IV. REZULTATI SIMULACIJA

U ovom poglavlju data je uporedna analiza rezultata simulacija rada diskretne SRF-PLL strukture dobijenih u *Simulink* i *ModelSim* okruženju. Rezultati simulacija diskretne SRF-PLL strukture dobijeni u *Simulink* okruženju pokazali su da se diskretna struktura ponaša identično kao i struktura u kontinualnom domenu, te da su odstupanja minimalna. Ova odstupanja nastaju kao posljedica diskretizacije strukture i konverzije podataka iz formata pokretnog u format nepokretnog zarez. Analiza je pokazala da nakon provedenog procesa kodiranja pomoću *Simulink* HDL koda i projektovanja digitalne SRF-PLL strukture u *Quartusu*, te izvršenih simulacija u *ModelSim* okruženju dobijeni rezultati simulacija ostaju zadovoljavajući.

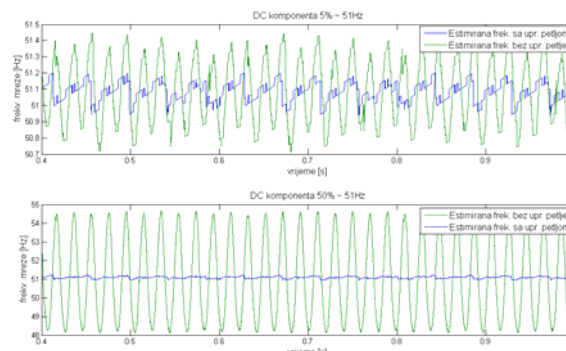
Prvo je simuliran rad dvofaznog generatora diskretne SRF-PLL strukture u cilju analize brzine estimacije jednosmjerne komponente u *Simulink* i *ModelSim* okruženju. Kao testni signal na ulaz dvofaznog generatora doveden je skok jednosmjerne komponente od 50% (sl. 3) normirane jedinične vrijednosti amplitude ulaznog mrežnog napona. Na sl. 3 prikazane su brzine estimacije jednosmjerne komponente na izlazu upravljačke petlje za eliminaciju jednosmjerne komponente dvofaznog generatora u: a) *Simulink* okruženju, b) u *ModelSim* okruženju. Simulacije su vršene za tri različite vrijednosti parametra  $k_i$ : (10,  $k_{iopt} = 86.54$ , 500). Sa sl. 3 se vidi da za manje vrijednosti parametra  $k_i$ : ( $k_i=10$ ) brzina estimacije jednosmjerne komponente na izlazu upravljačke petlje je oko 0.5 s, a to je suviše veliko vrijeme i negativno utiče na dinamičko ponašanje cijele SRF-PLL strukture. S druge strane ukoliko je vrijednost parametra  $k_i$  velika ( $k_i=500$ ) dobijaju se neželjene oscilacije. Za optimalnu vrijednost parametra  $k_{iopt} = 86.54$ , prelazni proces se završava za 0.1 s što je u skladu sa analizom provedenom u [6] i [7].

Sljedeća analiza odnosi se na ponašanje SRF-PLL strukture sa unaprijednim dvofaznim generatorom za dva slučaja. U prvom slučaju estimirani parametri mreže su dostigli svoja stacionarna stanja, a u drugom slučaju analizirani su prelazni procesi ovih parametara pri poremećajima ulaznog mrežnog napona. Ponašanje SRF-PLL strukture testirano je simulacijama u *Simulink* i *ModelSim* okruženju. Za estimaciju

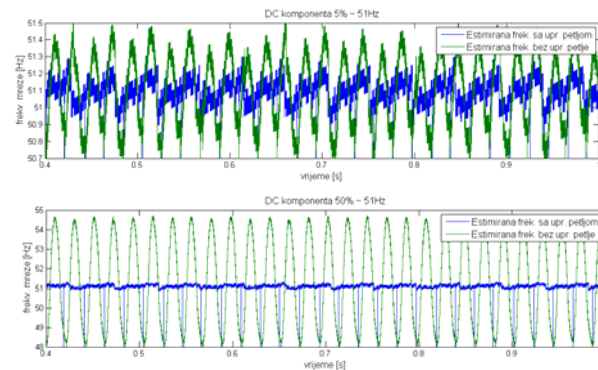


Slika 3. Brzina estimacije jednosmjerne komponente na izlazu upravljačke petlje dvofaznog generatora a) u *Simulink* okruženju b) *ModelSim* okruženju pri 50% jednosmjerne komponente od normirane vrijednosti amplitude ulaznog signala

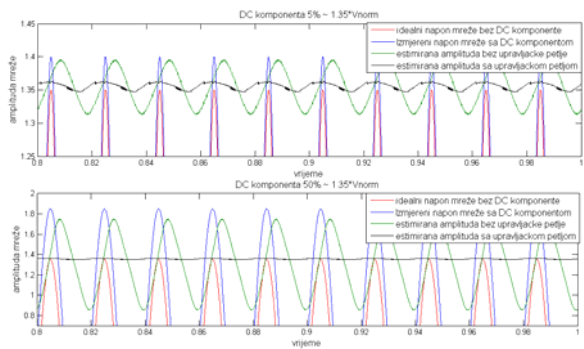
frekvencije i amplitude mreže u stacionarnom stanju, na ulaz PLL strukture dovodi se sinusi signal  $\sin(\omega t)$ , amplitude normirane na 1, sa malom i velikom jednosmjernom komponentom (5% i 50% normirane vrijednosti). Testiranja su rađena za dvije granične vrijednosti frekvencije 49 Hz i 51 Hz i za dvije granične vrijednosti amplitude 0.5 i 1.35 od normirane vrijednosti mrežnog napona, prema pomenutim standardima. Rezultati simulacija prikazani su samo za frekvenciju 51 Hz i amplitudu 1.35 od normirane, jer su rezultati simulacija identični i za 49 Hz i 0.5 normirane amplitude. Rezultati simulacija prikazani su na sl. 4-7. Kao što se vidi sa slika, rezultati dobijeni u *ModelSim* okruženju su veoma slični onima iz *Simulink* okruženja, što je očekivano.



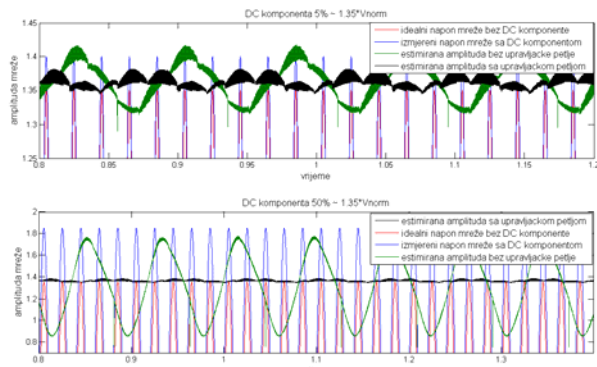
Slika 4. Estimirana frekvencija mreže u stacionarnom stanju bez (zelena linija) i sa (plava linija) upravljačkom petljom za eliminaciju jednosmjerne komponente (*Simulink*)



Slika 5. Estimirana frekvencija mreže u stacionarnom stanju bez (zelena linija) i sa (plava linija) upravljačkom petljom za eliminaciju jednosmjerne komponente (*ModelSim*)



Slika 6. Estimirana amplituda mreže u stacionarnom stanju bez (zeleni linija) i sa (crna linija) upravljačkom petljom za eliminaciju jednosmjerne komponente (Simulink)

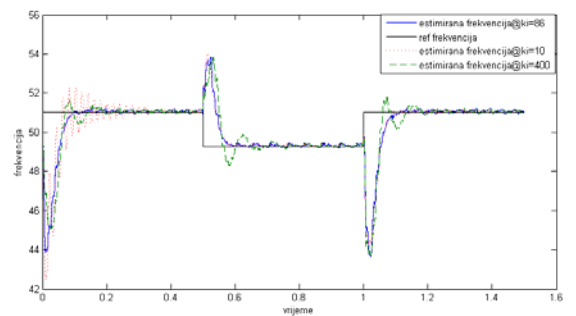


Slika 7. Estimirana amplituda mreže u stacionarnom stanju bez (zeleni linija) i sa (crna linija) upravljačkom petljom za eliminaciju jednosmjerne komponente (ModelSim)

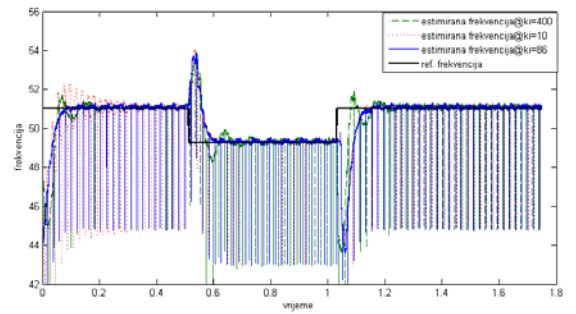
Dalje je analizirano dinamičko ponašanje SRF-PLL strukture pri skokovitoj promjeni frekvencije, odnosno amplitude ulaznog mrežnog napona. Na sl. 8 prikazan je odziv diskretne SRF-PLL strukture pri skokovitoj promjeni frekvencije sa 51 Hz na 49 Hz, a zatim se nakon uspostavljanja stacionarnog stanja pri ponovnoj promijeni sa 49 Hz na 51 Hz. Rezultati simulacija iz Simulink okruženja dati su na sl. 8 (a), a iz ModelSim okruženja na sl. 8 (b). Veličina jednosmjerne komponente je 50% normirane vrijednosti amplitude mrežnog napona u oba slučaja u cilju testiranja robusnosti SRF-PLL strukture.

Na sl. 8 (b) koja prikazuje rezultate simulacije iz ModelSim okruženja vidi se da se u stacionarnom stanju pojavljuju nagli skokovi frekvencije, međutim, ove vrijednosti nastaju kao posljedica konverzije podataka preuzetih iz ModelSim okruženja i prosljeđenih MATLAB okruženju gdje se vrši konverzija brojeva iz formata unsigned u format signed, kako bi se nacrtali odgovarajući grafici.

Na sl. 9 prikazan je odziv diskretne PLL strukture pri skokovitoj promjeni normirane vrijednosti amplitude mrežnog napona sa 0.5 na 1.35, i obrnuto nakon uspostavljanja stacionarnog stanja. Rezultati simulacija iz Simulink okruženja dati su na sl. 9 (a), a iz ModelSim okruženja na sl. 9 (b). Veličina jednosmjerne komponente je 50% normirane vrijednosti amplitude mrežnog napona u oba slučaja u cilju testiranja robusnosti SRF-PLL strukture.

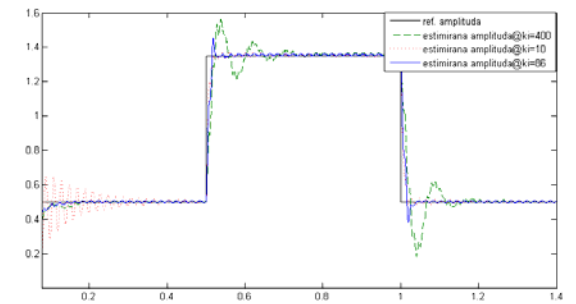


(a)

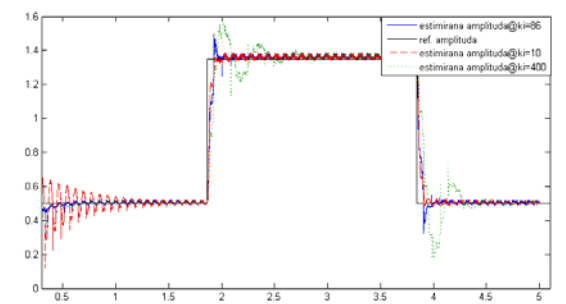


(b)

Slika 8. Rezultati simulacija u Simulink (a) i ModelSim okruženju (b) odziva PLL strukture pri skokovitoj promjeni frekvencije mrežnog napona sa 51 Hz na 49 Hz i obrnuto



(a)



(b)

Slika 9. Rezultati simulacija u Simulink (a) i ModelSim okruženju (b) prelaznog procesa PLL strukture ukoliko se amplituda mreže skokovito promijeni sa 0.5 na 1.35, a zatim se ponovo vrati na 0.5 nakon uspostavljanja stacionarnog stanja

Za oba testna poremećaja (frekvencije i amplitude mrežnog napona) ponašanje SRF-PLL strukture je simulirano pri različite vrijednosti parametra  $k_i$ . Kao rezultat analize dolazi se do istih zaključaka kao i kod kontinualne SRF-PLL strukture. Naime, za manje vrijednosti parametra  $k_i$  ( $k_i = 10$ ) pojavljuju se prigušene oscilacije estimiranih parametara mreže, a proces estimacije je spor. S druge strane, ukoliko se koristi velika vrijednost parametra  $k_i$  ( $k_i = 500$ ) pojavljuju se velike oscilacije u prelaznom procesu, a proces estimacije je takođe spor. Najbolji odziv se dobija za optimalnu vrijednost parametra  $k_i = k_{iopt.} = 85.65$ , kada su realni dijelovi korijena karakterističnog polnoma  $D(z)$  jednaki. Za optimalnu vrijednost parametra  $k_i$ , ukoliko dođe do nagle promjene frekvencije ili amplitude mreže, prelazni proces, u oba slučaja, traje manje od 0.1 s, nakon čega SRF-PLL struktura ulazi u stacionarno stanje.

#### ZAKLJUČAK

Kod svih SRF-PLL suštinski važno da blok koji prethodi faznom detektoru generiše dva kvadratna signala. U tu svrhu potrebno je projektovati dvofazni generator. Nakon analize postojećih dvofaznih generatora kod jednofaznih PLL struktura (DSOGI-PLL i Park-PLL), predložen je unaprijeđeni dvofazni generator koji pored generisanja kvadratnih signala ima mogućnost eliminacije uticaja šuma i jednosmjerne komponente na rad SRF-PLL strukture. Sprovedena matematička analiza pokazala je kako podesiti parametre ovog dvofaznog generatora tako da odzivi SRF-PLL strukture na skok amplitude ili frekvencije budu optimalni. Naime, vrijednost parametra integralnog dejstva  $k_i$  upravljačke petlje za eliminaciju uticaja jednosmjerne komponente utiče, kako na efikasnost eliminacije, tako i na brzinu estimacije parametara mreže. Još jedan od istraživačkih zadataka bila je diskretizacija unaprijeđene SRF-PLL strukture da bi se ona implementirala na nekom digitalnom uređaju, u konkretnom slučaju na FPGA kolu. Da bi se SRF-PLL struktura implementirala na FPGA kolu potrebno je sve signale ove strukture koji su prezentovani u formatu pokretnog zarez predstavi u formatu nepokretnog zarez. Ova konverzija može značajno uticati na rad strukture ukoliko se ne odaberu odgovarajuće dužine bita za predstavljanje razlomljenog i cjelobrojnog dijela broja. Za ispravno odabrane dužine razlomljenog i cjelobrojnog dijela odstupanja su minimalna. Poređenjem rezultata simulacija iz *Simulink* i *ModelSim* okruženja dolazi se do zaključka da rad strukture i nakon izvršenog procesa kodiranja ostaje zadovoljavajući. Testiran je odziv strukture za različite vrijednosti parametra  $k_i$ , pri skokovitim promjenama frekvencije i amplitude mrežnog napona, kao i sposobnost estimacije parametara mreže, a sve to ukoliko je u izmjerenom mrežnom naponu prisutna jednosmjerna komponenta. Rezultati ovih simulacija su dokazali validnost matematički izvedenih vrijednosti parametara upravljačke petlje dvofaznog generatora.

U budućim koracima trebalo bi predloženi dvofazni generator modifikovati da bi mogao riješiti probleme izazvane pojavom viših harmonika u mrežnom naponu, zatim simetričnog i asimetričnog zasićenja (odsijecanja) izmjereno mrežnog napona i slično.

#### ZAHVALNICA

Posebnu zahvalnost autor duguju prof. dr Slobodanu Luburi, koji je pružio punu podršku prilikom izrade rada, a koji je i mentor završnog rada autora pod nazivom: „Unaprijeđena jednofazna PLL struktura kao dio upravljačke strukture PV invertora“, koji je poslužio kao osnova za pisanje ovog rada.

#### LITERATURA

- [1] Milica Ristović “Unaprijeđena jednofazna PLL struktura kao dio upravljačke strukture PV invertora”, završni rad na II ciklusu studija, jul 2015
- [2] Chung, S.-K.: ‘Phase-locked loop for grid-connected three-phase power conversion systems’. IEE Proc. Electric Power Applications, May 2000, vol. 147, no. 3, pp. 213–219, doi: 10.1049/ip-epa:20000328
- [3] Ciobotaru, M., Teodorescu, R., Agelidis, V.G.: ‘Offset rejection for PLL based synchronization in grid-connected converters’. 23rd Annual IEEE Applied Power Electronics Conf. Exposition, 2008. APEC 2008, 24–28 February 2008, pp. 1611–1617, doi: 10.1109/APEC.2008.4522940
- [4] Hwang, S.-H., Liu, L., Li, H., Kim, J.-M.: ‘DC offset error compensation for synchronous reference frame PLL in single-phase grid-connected converters’, IEEE Trans. Power Electron., 2012, 27, (8), pp. 3467–3471, doi: 10.1109/TPEL.2012.2190425
- [5] L. N. Arruda, S. M. Silva, and B. J. C. Filho, “PLL structures for utility connected systems,” in 36th Conf. Rec. IEEE IAS Annu. Meeting, vol. 4, pp. 2655–2660, Sep. 2001.
- [6] Slobodan Lubura, Milomir Šoja, Srdjan Lale, Marko Ikić, “Single-phase phase locked loop with DC offset and noise rejection for photovoltaic inverters”, IET Power Electronics, Vol. 7, No. 9, pp. 2288 - 2299, ISSN 1755-4535, DOI 10.1049/iet-pel.2013.0413, 2014
- [7] Srdan Lale, Slobodan Lubura, Milomir Šoja, Marko Ikić “A Digital Design of Novel Two-Phase Generator as Part of SRF-PLL Structure for PV Inverters” INFOTEH-JAHORINA Vol. 13, March 2014.
- [8] <http://www.mathworks.com/products/hdl-coder/index.html> - februar, 2015

#### ABSTRACT

Focus of research described in this paper was single-phased PLL structure, SRF-PLL (Synchronous Reference Frame–Phase Locked Loop) which is used for PV inverter synchronisation with grid. In all SRF-PLL structures, the most important is block that comes before Phase Detector, which generates two quadrature signals. In this paper is presented two-phase generator which eliminates noise and DC offset from input single-phase grid signal. Simulation results of this discretized structure in MATLAB/Simulink and ModelSim are presented.

#### ADVANCED SIGNLE-PHASE PLL AS A PART OF CONTROL STRUCTURE IN PV INVERTERS

Milica Ristović Krstić