

ADB filterska banka za selektivno eliminisanje viših harmonika u SRF-PLL strukturama

Slobodan Lubura, Milomir Šoja, Srđan Lale, Milica Ristović, Marko Ikić
 Elektrotehnički fakultet, Univerzitet u Istočnom Sarajevu
 Istočno Sarajevo, Bosna i Hercegovina
 slubura@etf.unssa.rs.ba, milomir.voja@etf.unssa.rs.ba,
 srdjan.lale@etf.unssa.rs.ba, milica.ristovic@etf.unssa.rs.ba,
 marko.ikic@etf.unssa.rs.ba

Dragiša Milovanović
 Elektronski fakultet, Univerzitet u Nišu
 Niš, Republika Srbija
 dragisa.milovanovic@elfak.ni.ac.rs

Sadržaj—U ovom radu predloženo je korišćenje tzv. ADB (engl. *adaptive delay bank*) filterske banke koja je u osnovi CDSC (engl. *cascaded delayed signal cancellation*) struktura za selektivno eliminisanje viših harmonika mreže u SRF-PLL (engl. *synchronous reference frame-phase locked loop*) strukturama. ADB filterska banka umetnuta je u SRF-PLL strukturu, što joj daje adaptivnost po frekvenciji i predstavlja prednost u odnosu na proste CDSC filtre koji su korišćeni u PLL strukturama kao prefiltre bez osobine adaptivnosti. Rigorozna matematička analiza i prikazane simulacije potvrdile su opravdanost predloženog metoda za selektivno eliminisanje viših harmonika u SRF-PLL strukturama.

Ključne riječi—ADB filterska banka; CDSC struktura; SRF-PLL; eliminacija viših harmonika;

I. UVOD

Bez obzira na tip, sve PLL (engl. *phase locked loop*) strukture koje se koriste u energetskim pretvaračima treba da osiguraju njihov sinhroni rad sa mrežom, čak i uslovima kada je napon mreže u tački povezivanja pretvarača i mreže izobličen i nesimetričan. Trofazne SRF-PLL (engl. *synchronous reference frame-phase locked loop*) strukture [1] su vjerovatno najzastupljenije sinhronizacione tehnike u energetskim pretvaračima, ali na žalost nisu imune na izobličenja i nesimetričnosti mreže, što je pokazano u [2], [3]. To znači da SRF-PLL strukture mogu da tačno estimiraju parametre mreže samo u uslovima kada je mreža "čista", odnosno kada nije kontaminirana višim harmonicima i kada je simetrična u opštem slučaju. Da bi konvencionalne SRF-PLL strukture mogle raditi i u uslovima "prljave" mreže, u literaturi su predložene različite modifikacije klasične SRF-PLL strukture koje su imune na pojavu viših harmonika i nesimetričnosti u mreži. U opštem slučaju one se mogu podijeliti u dvije velike grupe. Prvu grupu čine SRF-PLL strukture sa prefiltrom za eliminisanje viših harmonika kao zasebnom cjelinom. Npr. u [4] je predloženo korišćenje DSOGI (engl. *dual second order generalized integrator*) u SRF-PLL strukturi kao prefiltra, a unaprijedena verzija DSOGI strukture u ulozu prefiltra data je u [5]. U drugu grupu spadaju SRF-PLL strukture sa umetnutim adaptivnim filtrom u

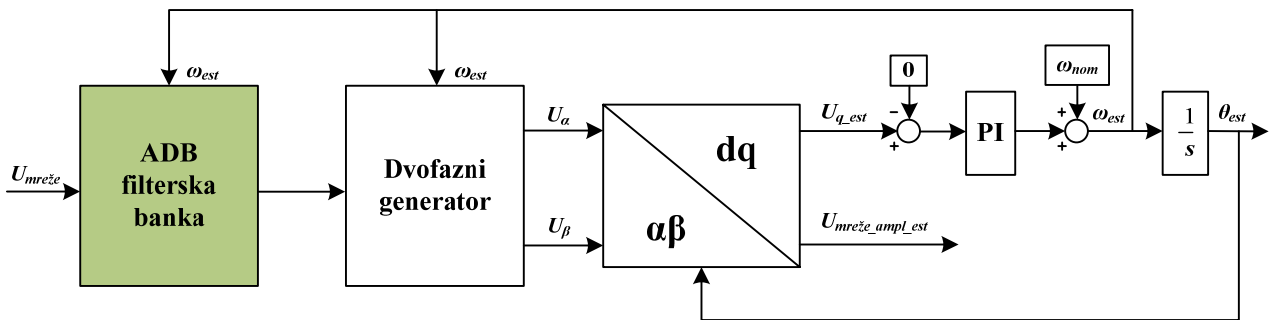
samu strukturu. Npr. u [6]-[9] opisane su SRF-PLL strukture sa umetnutim jednim ili više ANF (engl. *adaptive notch filters*) filtera u samu strukturu. ANF filtri pripadaju grupi filtera tipa nepropusnika opsega frekvencija u kome filter ima veliko potiskivanje signala, a van tog uskog opsega propušta signal skoro bez ikakvog prigušenja. Ova njihova osobina ih čini atraktivnim za selektivno eliminisanje viših harmonika u SRF-PLL strukturama.

Koncept CDSC (engl. *cascaded delayed signal cancellation*) za selektivno eliminisanje viših harmonika u mreži predstavljen je u [10]-[12] i to samo u ulozu prefiltera. U ovom radu predloženo je korišćenje ADB (engl. *adaptive delay bank*) filterske banke koja je u osnovi CDSC struktura, ali ne kao prefilter, nego kao sastavni dio SRF-PLL strukture sa osobinom frekventne adaptivnosti.

II. PLL STRUKTURA SA ADB FILTERSKOM BANKOM ZA ELIMINISANJE VIŠIH HARMONIKA

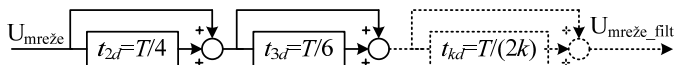
Jedan od načina za eliminisanje greške estimacije faze, frekvencije i amplitude mreže zbog postojanja viših harmonika u SRF-PLL strukturama je umetanje ADB filterske banke u SRF-PLL strukturu kao što je prikazano na Sl. 1. U opštem slučaju, ADB filterska banka sastoji se od više filterskih blokova: po jedan blok za eliminisanje jednog odgovarajućeg harmonika, kao što je prikazano na Sl. 2. Rad ADB filterske banke je veoma jednostavan. Viši harmonik reda k ($k=2, 3, 4, \dots$) koji treba da se eliminiše sabira se sa svojom slikom zakašnjelom za $T/(2k)$, gdje je T period osnovnog harmonika mreže ($T=20$ ms). Npr. ako je potrebno eliminisati drugi harmonik ($k=2$), treba ga sabrati sa njegovom slikom zakašnjelom za $t_{2d}=T/4$; za eliminisanje trećeg harmonika ($k=3$) potrebno kašnjenje je $t_{3d}=T/6$, itd.

Sa Sl. 1 se vidi da u ADB filtersku banku ulaze dva signala. Pored ulaznog signala mreže, koji se filtrira, u ADB filtersku banku ulazi i estimirana vrijednost mrežne frekvencije ω_{est} . Ona je neophodna za izračunavanje osnovnog perioda mreže ($T=2\pi/\omega_{est}$) potrebnog za određivanje intervala kašnjenja $T/(2k)$ za pojedine ADB filterske blokove.



Slika 1. SRF-PLL struktura sa ADB filterskom bankom za eliminaciju viših harmonika.

U opštem slučaju estimirana frekvencija ω_{est} iz PLL strukture nije konstantna, već se mijenja u uskim granicama oko centralne mrežne ugaone frekvencije $\omega_{nom}=100\pi$ rad/s (za frekvenciju mreže $f=50$ Hz). Prema standardima IEEE 1547-200, EN61000-3-2 i IEC 61727, PLL struktura treba da obezbijedi sinhronizovani rad energetskog pretvarača sa mrežom pri promjeni mrežne frekvencije u opsegu $49 \text{ Hz} < f < 51 \text{ Hz}$, odnosno $98\pi \text{ rad/s} < \omega_{est} < 102\pi \text{ rad/s}$. Iz navedenog razloga je potrebna adaptivnost ADB filterske banke po estimiranoj mrežnoj frekvenciji ω_{est} .



Slika 2. Blok šema ADB filterske banke za eliminaciju viših harmonika.

Iako predloženi metod za eliminisanje uticaja viših harmonika na grešku estimacije faze θ_{est} , frekvencije ω_{est} i amplitude mrežnog napona $U_{mreze_ampl_est}$ na prvi pogled izgleda atraktivan i jednostavan, on ima i svoja ograničenja. U nastavku rada data je detaljna analiza uticaja ADB filterske banke na fazu i amplitudu signala osnovnog harmonika mreže.

III. ANALIZA UTICAJA ADB FILTERSKE BANKE NA SIGNAL OSNOVNOG HARMONIKA MREŽE

Bez umanjjenja opštosti pretpostavimo da se ADB filterska banka sastoji od četiri filterska bloka za eliminisanje drugog, trećeg, četvrtog i petog harmonika, respektivno. Pošto svaki ADB blok eliminiše samo željeni harmonik, ali ne i osnovni, to će se na izlazu ADB bloka za eliminisanje k -tog harmonika pojaviti zbir dva signala osnovnog harmonika frekvencije $\omega_1=2\pi/T$, data izrazom:

$$v_k^1(t) = V_{k-1}^1 \sin(\omega_1 \cdot t - \varphi_{k-1}) + V_{k-1}^1 \sin\left(\omega_1 \cdot t - \varphi_{k-1} - \frac{\pi}{k}\right), \quad k \geq 2 \quad (1)$$

gdje je V_{k-1}^1 amplituda, a φ_{k-1} faza osnovnog harmonika na ulazu u taj ADB blok. Primjenom poznate relacije

$$\sin(\alpha) + \sin(\beta) = 2 \sin\left(\frac{\alpha + \beta}{2}\right) \cos\left(\frac{\alpha - \beta}{2}\right) \quad (2)$$

na jednačinu (1) ona se može napisati u obliku:

$$v_k^1(t) = 2 \cos\left(\frac{\pi}{2k}\right) V_{k-1}^1 \sin\left(\omega_1 \cdot t - \left(\varphi_{k-1} + \frac{\pi}{2k}\right)\right). \quad (3)$$

Analizirajmo npr. uticaj ADB bloka za eliminisanje drugog harmonika ($k=2$) na parametre signala osnovnog harmonika. Uvrštavanjem u (3) red harmonika za eliminaciju ($k=2$) i uz pretpostavku da je početna faza osnovnog harmonika $\varphi_1=0$, izraz (3) se može napisati u obliku:

$$v_2^1(t) = 2 \cos\left(\frac{\pi}{4}\right) V_1^1 \sin\left(\omega_1 \cdot t - \frac{\pi}{4}\right) = \sqrt{2} V_1^1 \sin\left(\omega_1 \cdot t - \frac{\pi}{4}\right), \quad (4)$$

gdje je V_1^1 amplituda osnovnog harmonika na ulazu ADB banke.

Iz posljednje jednačine evidentno je da je amplituda osnovnog harmonika na izlazu iz ADB bloka za eliminisanje drugog harmonika uvećana za $\sqrt{2}$ u odnosu na amplitudu V_1^1 i da je njegova faza pomjerena (kašnjenje) za $\pi/4$ u odnosu na početnu fazu osnovnog harmonika ($\varphi_1=0$) prije ulaska u ADB filterski blok.

Dakle, prolaskom kroz ADB filtersku banku amplituda osnovnog harmonika postaje uvećana i unosi mu se fazno kašnjenje. Koristeći jednačinu (3) može se izvesti opšti izraz za signal osnovnog harmonika na izlazu iz ADB bloka za eliminisanje k -tog harmonika:

$$v_k^1(t) = C_k \cdot V_1^1 \sin(\omega_1 \cdot t - \varphi_k), \quad (5)$$

gdje je C_k koeficijent uvećanja amplitude osnovnog harmonika, a φ_k njegovo kašnjenje na izlazu iz tog ADB bloka u odnosu na signal osnovnog harmonika prije ulaska u ADB filtersku banku. Veličine C_k i φ_k imaju sljedeće opšte izraze:

$$C_k = \prod_{n=2}^k \left(2 \cos\left(\frac{\pi}{2n}\right) \right), \quad (6)$$

$$\varphi_k = \varphi_1 + \sum_{n=2}^k \frac{\pi}{2n}.$$

Bez umanjjenja opštosti, na osnovu jednačine (6) izračunati su koeficijenti uvećanja amplitude osnovnog harmonika C_k i njegovo fazno kašnjenje u ugaonom φ_k i vremenskom domenu t_{k_delay} za svaki od četiri pojedinačna kaskadno vezana ADB bloka za eliminisanje drugog, trećeg, četvrtog i petog harmonika, respektivno, u odnosu na signal osnovnog harmonika prije ulaska u ADB filtersku banku. Podaci su dati u Tabeli 1.

TABELA 1. PROMJENA PARAMETARA SIGNALA OSNOVNOG HARMONIKA MREŽE PRI PROLASKU KROZ ADB FILTERSKU BANKU

k	Red harmonika za eliminaciju			
	2	3	4	5
C_k	1.4142	2.4495	4.5261	8.6091
φ_k [stepeni]	45°	75°	97.5°	115.5°
t_k [ms]	2.5	4.1667	5.4167	6.4167

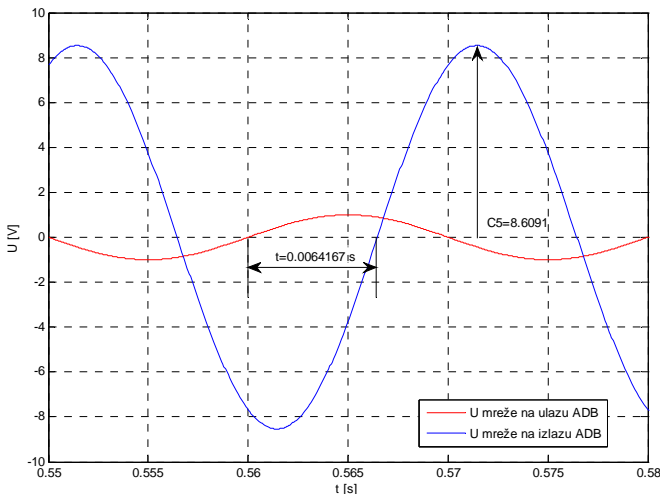
Provedena analiza uticaja posmatrane ADB filterske banke od četiri filterska bloka na signal osnovnog harmonika mreže verifikovana je u Matlab/Simulink okruženju.

Na Sl. 3 prikazan je signal osnovnog harmonika mreže (normirane amplitude $V_1^1 = 1$ V) na ulazu i njegova modifikovana slika na izlazu iz ADB filterske banke.

Iz predhodno provedene analize, a i sa Sl. 3, može se zaključiti sljedeće:

1) Prolaskom kroz svaki od ADB blokova amplituda osnovnog harmonika se uvećava za koeficijent C_k . U konkretnom slučaju za posmatranu ADB filtersku banku koeficijent uvećanja amplitude je $C_5=8.6091$ (Tabela 1).

2) Prolaskom kroz svaki od ADB blokova faza osnovnog harmonika se mijenja za ugao φ_k u ugaonom ili t_k delay u vremenskom domenu. Za posmatranu ADB filtersku banku signal osnovnog harmonika ima ukupno fazno/vremensko kašnjenje od $\varphi_{tot}=\varphi_5=115.5^\circ$, odnosno $t_{tot_delay}=t_{5_delay}=6.4167$ ms (Tabela 1).



Slika 3. Signal osnovnog harmonika mreže na ulazu i izlazu ADB filterske banke.

Da bi rad SRF-PLL strukture sa Sl. 1 uopšte bio moguć i korektan, ADB filterska banka ne bi trebala uopšte uticati na amplitudu i fazu osnovnog harmonika mreže, već samo eliminisati harmonike višeg reda. Međutim, provedena analiza je pokazala da to nije slučaj, pa je opštu strukturu ADB filterske banke prikazane na Sl. 2 potrebno modifikovati na sljedeći način:

1) Da bi amplituda osnovnog harmonika ostala neizmjenjena nakon prolaska kroz ADB filtersku banku treba je na izlazu iz banke skalirati (podijeliti) sa odgovarajućim

koeficijentom C_k (Tabela 1). U konkretnom slučaju za posmatranu ADB filtersku banku koeficijent skaliranja je $1/C_5=0.1161$.

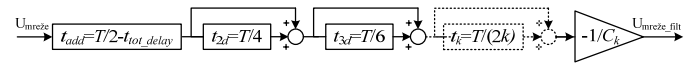
2) Da bi eliminisali fazno kašnjenje koje unosi ADB filterska banka potrebno je signal osnovnog harmonika mreže dodatno zakasiniti za ugao, odnosno vremenski interval:

$$\varphi_{add} = \begin{cases} \pi - \varphi_{tot} & \text{za } \varphi_{tot} \leq \pi \\ 2\pi - \varphi_{tot} & \text{za } \varphi_{tot} > \pi \end{cases}$$

$$t_{add} = \begin{cases} T/2 - t_{tot_delay} & \text{za } t_{tot_delay} \leq T/2 \\ T - t_{tot_delay} & \text{za } t_{tot_delay} > T/2 \end{cases} \quad (7)$$

i pomnožiti sa -1 što praktično znači zakretanje signala osnovnog harmonika za dodatni ugao π , ako je $\varphi_{tot} \leq \pi$. Ovo se praktično svodi na množenje signala osnovnog harmonika sa koeficijentom $-1/C_k$ umjesto $1/C_k$, kako je dato pod tačkom 1.

U konkretnom slučaju za posmatranu ADB filtersku banku dodatno ugaono/vremensko kašnjenje u skladu sa (7) iznosi $\varphi_{add}=64.5^\circ$, odnosno $t_{add}=3.5833$ ms. Modifikovana ADB filterska banka prikazana je na Sl. 4.

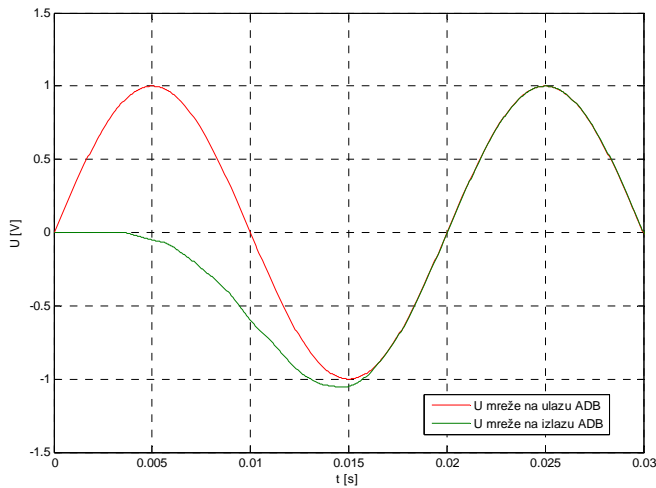


Slika 4. Blok šeka modifikovane ADB filterske banke za eliminaciju viših harmonika.

U Matlab/Simulink okruženju izvršena je simulacija rada posmatrane modifikovane ADB filterske banke za eliminaciju viših harmonika. Rezultati simulacije prikazani su na Sl. 5.

Sa Sl. 5. jasno se vidi da nakon prelaznog procesa čije je trajanje manje od jednog perioda osnovnog harmonika mreže, signal osnovnog harmonika kroz modifikovanu ADB filtersku banku prolazi bez ikakvog izobličenja. Treba napomenuti da trajanje prelaznog procesa uključuje ukupno unešeno kašnjenje u ADB filtersku banku od $T/2=10$ ms plus vrijeme potrebno da SRF-PLL struktura estimira ugaonu mrežnu frekvenciju ω_{est} koje iznosi oko $t_{PLL}=7$ ms.

Dakle, ubacivanjem ADB filterske banke u SRF-PLL strukturu unosimo nepoželjno fazno kašnjenje od $\varphi_{tot}+\varphi_{add}=\pi$, odnosno vremensko kašnjenje od $t_{tot_delay}+t_{add}=T/2$ u signal osnovnog harmonika, što u opštem slučaju degradira performanse ukupne SRF-PLL strukture i to je cijena koja se mora platiti. Međutim, u poređenju sa PLL strukturama koje koriste ZCD (engl. *zero crossing detection*) algoritme ili ANF mreže, predložena SRF-PLL struktura sa ADB filterskom bankom ima zadovoljavajuće performanse sa aspekta ukupnog vremena potrebnog za estimaciju faze, frekvencije i amplitude mrežnog napona.

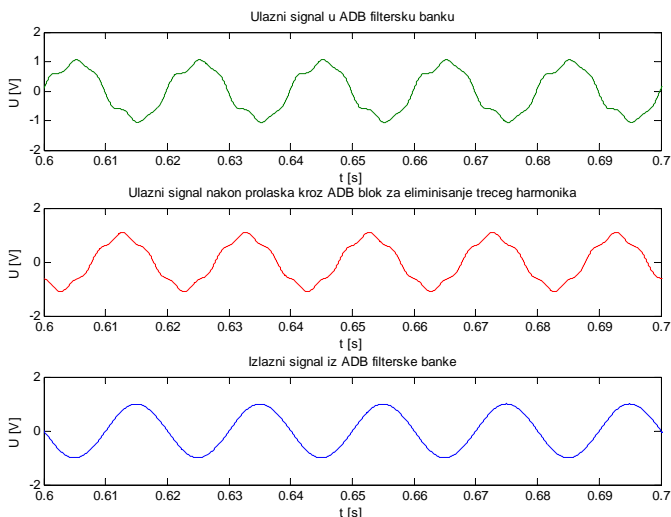


Slika 5. Signal osnovnog harmonika mreže na ulazu i izlazu modifikovane ADB filterske banke.

IV. REZULTATI SUMULACIJE RADA SRF-PLL STRUKTURE SA ADB FILTERSKOM BANKOM ZA ELIMINISANJE VIŠIH HARMONIKA

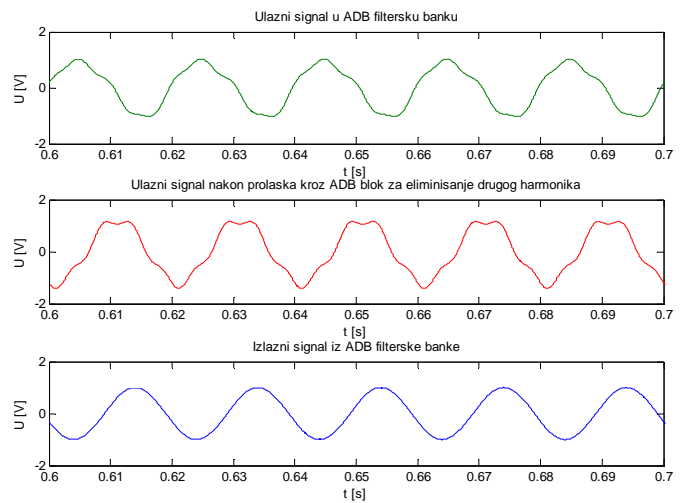
Performanse predložene SRF-PLL strukture sa ADB filterskom bankom sa četiri bloka za eliminaciju drugog, trećeg, četvrtog i petog harmonika testirane su simulacijama u Matlab/Simulink okruženju. U svim simulacijama amplituda osnovnog harmonika mreže je normirana na 1, tj. $V_1=1$ V, a ostale amplitude viših harmonika V_k zadavane su kao procenat amplitude osnovnog harmonika. Prvo se pristupilo testiranju samo ADB filterske banke sa aspekta eliminisanja viših harmonika.

U prvom slučaju na signal osnovnog harmonika dodato je 10% amplitude trećeg (fazno pomjeren za $\pi/3$) i 10% amplitude petog harmonika. Na ovaj način dobio se simetričan mrežni signal kontaminiran neparnim harmonicima. Rezultat simulacije ADB filterske banke pri eliminaciji ovih harmonika prikazan je na Sl. 6.



Slika 6. Karakteristični signali na izlazu pojedinih filterskih blokova ADB filterske banke pri eliminaciji trećeg i petog harmonika.

U drugom slučaju na signal osnovnog harmonika dodato je 10% amplitude drugog i 10% amplitude četvrtog harmonika. Na ovaj način dobio se izrazito nesimetričan signal kontaminiran parnim harmonicima. Rezultat simulacije ADB filterske banke pri eliminaciji ovih harmonika prikazan je na Sl. 7.



Slika 7. Karakteristični signali na izlazu pojedinih filterskih blokova ADB filterske banke pri eliminaciji drugog i četvrtog harmonika.

Prikazani rezultati simulacije potvrdili su da ADB filterska banka uspješno eliminiše harmonike višeg reda koji se mogu pojaviti u mrežnom naponu uz sva ograničenja koja su detaljno analizirana i naznačena u trećem poglavlju ovog rada.

Kako ADB filterska banka predstavlja samo jedan dio unutar SRF-PLL strukture, potrebno je bilo provjeriti njeno ponašanje unutar te strukture.

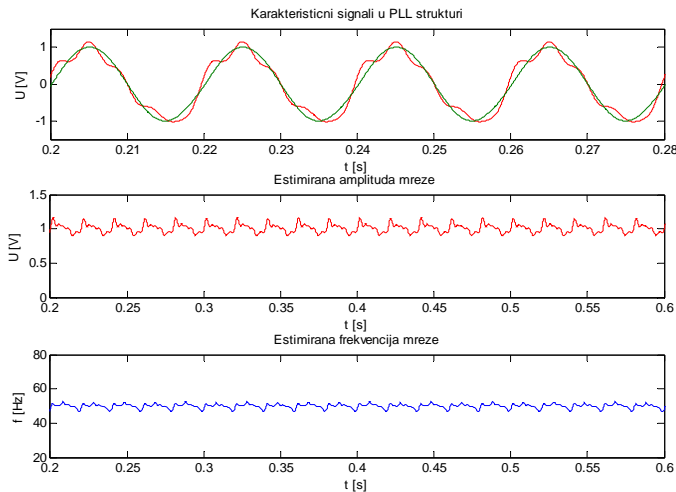
Data SRF-PLL struktura (Sl. 1) ima mogućnost da pored faze, estimira amplitudu i frekvenciju mrežnog napona. Izvršene su simulacije za dva slučaja. U prvom slučaju pretpostavljeno je da je mreža kontaminirana višim harmonicima reda $k=2, 3, 4$ i 5 , čije su amplitude 10% od amplitude osnovnog harmonika, respektivno, i da pri tome ne postoji nikakav filter za eliminaciju ovih harmonika. Rezultati simulacije prikazani su na Sl. 8.

Sa Sl. 8 je evidentno da SRF-PLL struktura i bez filtera za eliminaciju viših harmonika ima sposobnost eliminacije fazne greške između signala na ulazu (crvena) i izlazu (zeleno) SRF-PLL strukture. Fazna greška se praktično eliminiše za tri perioda signala osnovnog harmonika mreže. Međutim, očigledno je da je estimacija amplitude i frekvencije mreže nemoguća zbog postojanja viših harmonika, jer kao što je prikazano na Sl. 8 oni unose talasnost u estimiranu vrijednost. Može se pokazati da ova talasnost direktno zavisi od amplitude viših harmonika.

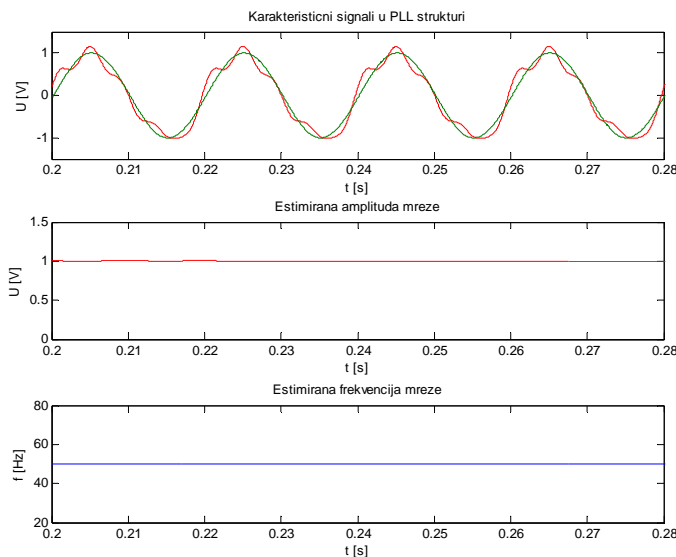
U drugom slučaju izvršena je simulacija rada SRF-PLL strukture sa istim parametrima i sa dodatom ADB filterskom bankom za eliminisanje viših harmonika. Rezultati simulacije prikazani su na Sl. 9.

Sa Sl. 9 jasno se može zaključiti da SRF-PLL struktura sa umetnutim ADB filtrom uspješno estimira parametre mreže i

eliminiraju faznu grešku i pored toga što je mreža kontaminirana višim harmonicima.



Slika 8. Karakteristični signali SRF-PLL strukture bez filtera za eliminisanje viših harmonika.



Slika 9. Karakteristični signali SRF-PLL strukture sa ADB filterskom bankom za eliminisanje viših harmonika.

V. ZAKLJUČAK

Predložena SRF-PLL struktura sa umetnutom modifikovanom ADB filterskom bankom je imuna na izobličenja mreže usljed postojanja viših harmonika, što je u radu pokazano i verifikovano izvršenim simulacijama. Naredna istraživanja u ovoj oblasti biće usmjerena u pravcu ocjene dinamičkog ponašanja predložene unaprijeđene SRF-PLL strukture sa umetnutom modifikovanom ADB filterskom bankom, kao i mogućnosti njene digitalne implementacije.

LITERATURA

- [1] K. Chung, "A phase tracking system for three phase utility interface inverters," *IEEE Trans. Power Electron.*, vol. 15, no. 3, pp. 431-438, May 2000.
- [2] M. A. Perez, J. R. Espinoza, L. A. Moran, M. A. Torres, and E. A. Araya, "A robust phase-locked loop algorithm to synchronize static-power converters with polluted AC systems," *IEEE Trans. Power Electron.*, vol. 55, no. 5, pp. 2185-2192, May 2008.
- [3] P. Li, L. Xue, P. Hazucha, T. Karnik, and R. Bashirullah, "A delay locked loop synchronization scheme for high-frequency multiphase hysteretic DC-DC converters," *IEEE J. Solid-State Circuits*, vol. 44, no. 11, pp. 3131-3145, Nov. 2009.
- [4] P. Rodriguez, R. Teodorescu, I. Candela, A. V. Timbus, M. Liserre, and F. Blaabjerg, "New positive-sequence voltage detector for grid synchronization of power converters under faulty grid conditions," in *Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE*, Jun. 2006, pp. 1-7.
- [5] P. Rodriguez, A. Luna, I. Candela, R. Mujal, R. Teodorescu, and F. Blaabjerg, "Multiresonant frequency-locked loop for grid synchronization of power converters under distorted grid conditions," *IEEE Trans. Ind. Electron.*, vol. 58, no. 1, pp. 127-138, Jan. 2011.
- [6] M. Karimi-Ghartemani, S. A. Khajehodini, P. K. Jain, and A. Bakhshai, "Derivation and design of in-loop filters in phase-locked loop systems," *IEEE Trans. Instrum. Meas.*, vol. 61, no. 4, pp. 930-940, Apr. 2012.
- [7] F. D. Freijedo, J. Doval-Gandoy, O. Lopez, and E. Acha, "Tuning of phase-locked loops for power converters under distorted utility conditions," *IEEE Trans. Ind. Appl.*, vol. 45, no. 6, pp. 2039-2047, Dec. 2009.
- [8] F. Gonzalez-Espin, E. Figueres, and G. Garcera, "An adaptive synchronous-reference-frame phase-locked loop for power quality improvement in a polluted utility grid," *IEEE Trans. Ind. Electron.*, vol. 59, no. 6, pp. 2718-2731, Jun. 2012.
- [9] S. Eren, M. Karimi-Ghartemani, and A. Bakhshai, "Enhancing the three-phase synchronous reference frame PLL to remove unbalance and harmonic errors," in *Proc. 35th Annu. Conf. IEEE Ind. Electron.*, Nov. 2009, pp. 437-441.
- [10] Y. F. Wang, and Y. W. Li, "Grid synchronization PLL based on cascaded delayed signal cancellation," *IEEE Trans. Power Electron.*, vol. 26, no. 7, pp. 1987-1997, Jul. 2011.
- [11] Y. F. Wang, and Y. W. Li, "Analysis and digital implementation of cascaded delayed-signal-cancellation PLL," *IEEE Trans. Power Electron.*, vol. 26, no. 4, pp. 1067-1080, Apr. 2011.
- [12] P. S. B. Nascimento, H. E. P. de Souza, F. A. S. Neves, and L. R. Limongi, "FPGA Implementation of the Generalized Delayed Signal Cancellation - Phase Locked Loop Method for Detecting Harmonic Sequence Components in Three-Phase Signals," *IEEE Trans. Ind. Electron.*, vol. 60, no. 2, pp. 645-658, Feb. 2013.
- [13] S. Lale, S. Lubura, M. Šoja, M. Ikić, "Analysis of single-phase PLL with novel two-phase generator for grid-connected converters," *19th Telecommunications Forum TELFOR 2011, Belgrade, Serbia, Proceedings of Papers*, ISBN:978-1-4577-1498-6, IEEE Catalog Number: CFP1198PCDR, 5-24, pp. 715-718, November, 22-24, 2011.
- [14] S. Lubura, M. Šoja, S. Lale, M. Ikić, "Single-phase phase locked loop with dc offset and noise rejection for photovoltaic inverters," *Power Electronics, IET*, vol. 7, no. 9, pp. 2288-2299, September 2014.
- [15] V. Kaura, and V. Blasko, "Operation of a phase locked loop system under distorted utility conditions," *IEEE Trans. Ind. Appl.*, vol. 33, no. 1, pp. 58-63, Jan/Feb 1997.

ABSTRACT

This paper proposes usage of adaptive delay bank (ADB) based on cascaded delayed signal cancellation (CDSC) structure for selective elimination of higher harmonics in the synchronous reference frame-phase locked loop (SRF-PLL) structures. The ADB is inserted inside the SRF-PLL structure and has frequency adaptivity that is advantage over CDSC structures, which are used in PLL as prefilters without any adaptivity. Rigorous mathematical analysis and given

simulation results confirm the validity of the suggested method for selective elimination of higher harmonics in SRF-PLL structures.

ADB FILTER BANK FOR SELECTIVE ELIMINATION OF HIGHER HARMONICS IN THE SRF-PLL STRUCTURES

Slobodan Lubura, Milomir Šoja, Srđan Lale, Milica Ristović,
Marko Ikić, Dragiša Milovanović