

Digitalno upravljanje buck konvertorom primenom mikrokontrolera MSP430F449

Darko Fabijan
Enel doo Beograd
Beograd, Srbija
fabijan@3dnet.rs

Radioje Đurić
Tomislav B. Šekara
Elektrotehnički fakultet
Beograd, Srbija
rade@el.etf.rs, tomi@etf.rs

Sadržaj—U ovom radu prikazan je način projektovanja i implementacije digitalnog PI/PID regulatora za buck konvertor. Regulacija izlaznog napona konvertora ostvarena je primenom impulsno-širinske modulacije pobudnih impulsa prekidačkog tranzistora. Regulaciona petlja po izlaznom naponu konvertora softverski je implementirana pomoću mikrokontrolera MSP430F449. Metod po kome je izvršeno projektovanje regulatora naziva se Digitalni redizajn. Odabiranje izlaznog napon konvertora vršeno je prema algoritmu zvanom RES/FES. Na osnovu priloženih eksperimentalnih rezultata može se zaključiti da izlazni napon konvertora, kod koga je upravljanje ostvareno na opisan način, ima zadovoljavajuće vreme smirivanja i premašaj pri impulsnoj promeni opterećenja.

Ključne reči—“buck” konvertor; digitalno upravljanje; PI/PID regulator; digitalni redizajn; RES/FES algoritam

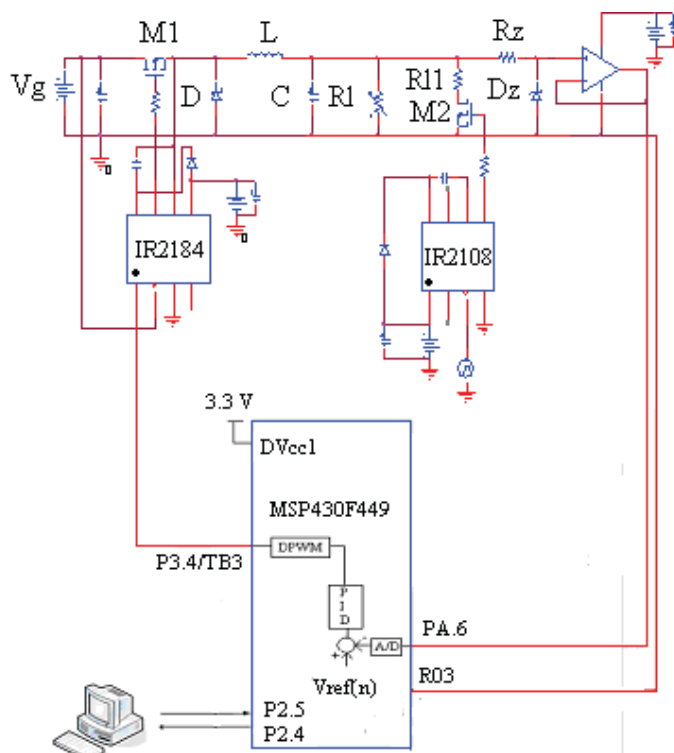
I. UVOD

Regulacija izlaznog napona DC-DC konvertora se tradicionalno obavlja koristeći analogne regulatore. Korišćenje digitalnog upravljanja u prekidačkim napajanjima postaje sve rasprostranjenije usled tendencije ka sve nižim cenama mikrokontrolera (uC) i digitalnih procesora signala (DSP) sa sve boljim performansama. Regulatori implementirani putem uC, DSP i personalnih računara imaju mnoštvo prednosti u odnosu na analogne kontrolere, uključujući programabilnost, smanjenu osetljivost na varijacije parametara sredine i na starenje, bolju imunost na šum, sposobnost realizacije najkomplikovanih algoritama upravljanja, itd. Osim predhodnog odlikuju se manjom potrošnjom i manjim zauzećem površine u odnosu na analogne regulatore realizovane diskretnim komponentama. Mane digitalnog načina upravljanja DC/DC konvertora ogledaju se u potrebi za visokom učestanošću rada procesorskog jezgra ne bi li učestanost odabiranja bila bliska ili jednaka prekidačkoj učestanosti, koja je reda desetina kHz, kako bi dinamičke performanse konvertora bile što bolje.

Na slici 1 je prikazana šematska predstava sistema. Sistem se sastoji od realizovanog buck konvertora sa pridruženim MOSFET drajverima (IR2184 i IR2108), zaštitom pina mikrokontrolera izvedenu putem otpornika R_z i zener diode D_z i razvojnog sistema koje sadrži mikrokontroler MSP430F449 pomoću koga je softverski implementiran digitalni PI/PID regulator. Princip regulisanja izlaznog napona zasniva se na primeni impulsno širinske modulacije

pobudnih impulsa prekidačkog tranzistora (M1) učestanosti 15 kHz.

Vremenski period potreban da upotrebljeni mikrokontroler kompletno procesira odbirak izlaznog napon konvertora određen je eksperimentalno i iznosi 10 ms, odnosno maksimalna učestanost odabiranja iznosi 100 Hz. Kako je prekidačka učestanost 15 kHz, sledi da se ažuriranje odnosa impuls-perioda PWM signala za pobudu prekidačkog tranzistora na osnovu predhodnog odbirka izlaznog napon konvertora i startovanje naredne konverzije vrši na svakih 150 perioda PWM signala.



Slika 1. Buck konvertor sa delom razvojnog sistema od interesa.

Odabiranje izlaznog napon konvertora vršeno je prema algoritmu zvanom RES/FES [1], [2], [3]. Konvertor je projektovan tako da, u zavisnosti od trenutne vrednosti referentnog napon, reguliše napone na izlazu iz opsega

$1\text{ V} \leq V_0 < 2\text{ V}$ pri svakoj vrednosti ulaznog napona iz opsega $2\text{ V} \leq V_g \leq 3,5\text{ V}$ (izuzev slučaja regulisanja najvišeg napona na izlazu iz datog opsega pri najnižem naponu na ulazu iz datog opsega, što proizilazi iz osobina konvertora) i pri svakoj vrednosti otpornosti potrošača iz opsega $5\ \Omega \leq R_L \leq 100\ \Omega$.

Digitalna predstava izlaznog napona konvertora $V_o[n]$ se poredi sa digitalnom predstavom referentnog signala $V_{ref}[n]$ (referentna vrednost napona konvertora zadaje se u programu Hyper Terminal personalnog računara i šalje se mikrokontroleru putem RS232 to UART konvertora). Razlika ovih dvaju signala predstavlja digitalni signal greške $e[n]$, koji predstavlja ulazni signal digitalnog PI/PID regulatora.

Digitalna vrednost sa izlaza PI/PID kontrolera, t.j. upravljačka promenljiva $u[n]$, se koristi za proračun vrednosti koja se upisuje u odgovarajući registar DPWM-a (registar TBCCR3). Sadržaj pomenutog registra je srazmeran odnosu impuls-perioda PWM signala za pobudu drajvera (IR2184) ili prekidačkog tranzistora (M1) konvertora.

Digitalni PI/PID regulator automatski podešava odnos impuls-perioda čineći da izlazni napon konvertora prati referentni napon bez obzira na varijacije ulaznog napona, otpornosti potrošača, ili vrednosti komponenata u konvertoru ili drajveru poštujući specificirane dinamičke performanse.

II. PARAMETRI I SPECIFIKACIJE SISTEMA

Pomenuti mikrokontroler je 16-bitni mikrokontroler kompanije Texas Instruments sa procesorskom učestanošću do 8 MHz i sa 2 KB RAM i 60 KB FLASH memorije. Interne periferije mikrokontrolera koje se koriste u ovom radu jesu dva 16-bitna tajmera, 12-bitni A/D konvertora sa maksimalnom učestanošću odabiranja od 200 kHz i UART. Učestanost rada procesora u ovom radu je 1 MHz.

Parametri projektovanog sistema su sledeći:

- Opseg vrednosti ulaznog napona konvertora: $2\text{ V} \leq V_g \leq 3,5\text{ V}$.
- Opseg vrednosti referentnog napona, odnosno opseg regulisanih vrednosti napona na izlazu konvertora: $1\text{ V} \leq V_0 < 2\text{ V}$.
- Opseg otpornosti potrošača: $5\ \Omega \leq R_L \leq 100\ \Omega$, odnosno opseg izlazne struje: $10\text{ mA} \leq I_0 \leq 400\text{ mA}$.
- Učestanost PWM signala za pobudu prekidačkog tranzistora konvertora je $f_s = 15\text{ kHz}$.
- Učestanost odabiranja izlaznog napona konvertora $f_o = 100\text{ Hz}$.
- Parametri LC filtra na izlazu konvertora: $L = 2 \cdot 330\ \mu\text{H}$, $C = 470\ \mu\text{F}$.

Specifikacije koje projektovani sistem treba da zadovolji definisane su na osnovu standardnih zahteva za prekidačka napajanja. Pomenute specifikacije su sledeće:

- Vreme smirivanja odziva nakon impulsne promene otpornosti potrošača $T_s \leq 200\text{ ms}$.
- Dozvoljena razlika između izlaznog i referentnog napona konvertora $\Delta V_o \leq 6\%V_o$.

III. REZOLUCIJA A/D KONVERTORA

Da bi bila zadovoljena specifikacija vezana za dozvoljenu razliku između izlaznog i referentnog napona konvertora, neophodno je da rezolucija A/D konvertora bude manja od pomenute razlike [4], odnosno potrebno je da analogni ekvivalent LSB-a A/D konvertora zadovoljava sledeću nejednakost:

$$\Delta V_q \leq \Delta V_o. \quad (1)$$

Analogni ekvivalent LSB-a A/D konvertora je:

$$\Delta V_q = \frac{V_{\max A/D}}{2^{n_{A/D}}}, \quad (2)$$

gde su: $V_{\max A/D} = 3,3\text{ V}$ -maksimalan napon koji se može konvertovati upotrebjenim unipolarnim A/D konverorom, i $n_{A/D}$ -rezolucija A/D konvertora, odnosno broj bita rezultata A/D konverzije.

Usvojivši maksimalnu dozvoljenu razliku između izlaznog i referentnog napona konvertora, $\Delta V_o = \Delta V_o_{\max} = 0,06 \cdot V_o$ dolazi se do zavisnosti rezolucije A/D konvertora od vrednosti regulisanog napona na izlazu konvertora:

$$n_{A/D} \geq \log_2 \left(\frac{V_{\max A/D}}{0,06 \cdot V_o} \right). \quad (3)$$

Da bi specifikacija vezana za dozvoljenu razliku između izlaznog i referentnog napona konvertora bila zadovoljena za svaku vrednost izlaznog napona iz opsega $1\text{ V} \leq V_0 < 2\text{ V}$ potrebno je zadovoljiti ovu specifikaciju u slučaju regulisanja najnižeg napona iz pomenutog opsega, čime će specifikacija biti automatski zadovoljena za sve ostale vrednosti napona V_o .

Uvrstivši u predhodnu nejednakost $V_0 = V_{0\min} = 1\text{ V}$ dobija se $n_{A/D} \geq 5,781$, na osnovu čega se za rezoluciju A/D konvertora usvaja $n_{A/D} = 6$.

IV. REZOLUCIJA DIGITALNOG PWM-A

DPWM generiše PWM signal sa diskretnim vrednostima odnosa impuls-perioda, odnosno u ustaljenom stanju moguće je dobiti diskretan skup napona na izlazu konvertora. Ukoliko vrednost referentnog napona ne pripada tom skupu, odnos impuls-perioda će oscilovati oko dve ili više diskretne vrednosti iz skupa, odnosno izlazni napon konvertora će oscilovati oko referentnog napona. Ovaj tip oscilacija se u sistemima sa digitalnim upravljanjem naziva "limit cycle" [4].

Potrebna uslov da bi se izbegle pomenute oscilacije jeste da promena u izlaznom naponu konvertora uzrokovana promenom LSB-a odnosa impuls-perioda bude manja od analognog ekvivalenta LSB-a A/D konvertora. Kako je

prenosni odnos buck konvertora približno $M(d_r) = V_o / V_g = d_r$ sledi:

$$V_g \cdot \Delta d_r \leq \Delta V_q, \quad (4)$$

gde je:

d_r - odnos impuls-perioda, čija je zavisnost od vrednosti registra TBCCR3 ($0 \leq TBCCR3 \leq N$) data sa:

$$d_r = \frac{TBCCR3 + 1}{N + 1}; \quad (5)$$

Δd_r - promena odnosa impuls-perioda usled promene LSB-a vrednosti sadržane u registru TBCCR3 DPWM-a,

$$\Delta d_r = \frac{1}{N + 1}; \quad (6)$$

N -maksimalna vrednost pomenutog registra, tj. vrednost koja je srazmerna $d_r = 100\%$, odnosno rezolucija DPWM-a.

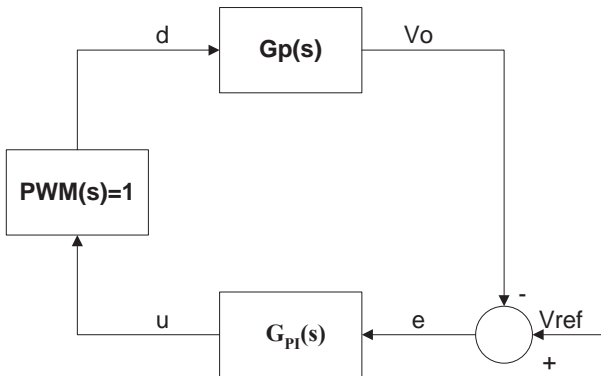
Na osnovu predhodnog dobija se zavisnost rezolucije DPWM-a od trenutne vrednosti napona na ulazu konvertora:

$$N \geq \frac{V_g \cdot 2^{nA/D}}{V_{\max A/D}} - 1. \quad (7)$$

Uvrštavanjem u predhodnu nejednakost $V_g = V_{g\max} = 3,5 \text{ V}$ dobija se $N \geq 67$, odnosno brojač u okviru DPWM-a mora biti najmanje 7-bitni. Ograničavanjem rezolucije DPWM-a na prikazani način izbegnute su oscilacije u izlaznom naponu konvertora usled konačne rezolucije DPWM-a za svaku vrednost ulaznog napona konvertora iz opsega $2 \text{ V} \leq V_g \leq 3,5 \text{ V}$.

V. PRORAČUN PARAMETARA PI REGULATORA

Izabrani metod po kome će se vršiti projektovanje digitalnog PI regulatora naziva se Digitalni redizajn [5]. Prema ovom metodu dizajniranja neophodno je prvo odrediti analognu funkciju prenosa PI regulatora, $G_{PI}(s)$ zanemarujući uticaje A/D konvertora i DPWM-a. Analognu funkciju prenosa je potom potrebno konvertovati u diskretnu funkciju prenosa, $G_{PI}(z)$ prema nekom od metoda diskretizacije. Odabrana metoda diskretizacije je bilinearna transformacija. Na slici 2 dat je blok dijagram sistema u vremenskom domenu.



Slika 2. Blok dijagram sistema u vremenskom domenu.

Blok označen sa $G_p(s)$ predstavlja “buck” konvertor. Prenosna funkcija za mali signal od kontrolnog ulaza do izlaza pri radu u CCM-u izvedena je na osnovu standardne state-space averaging tehnike. Zavisnost pomenute prenosne funkcije od ulaznog napona konvertora i otpornosti potrošača je data sa:

$$G_P(s) = \frac{\hat{V}_o}{\hat{d}} = \frac{\omega_o^2 \cdot V_g}{s^2 + \frac{\omega_o}{Q(R_L)}s + \omega_o^2}, \quad (8)$$

gde je $\omega_o = 1/\sqrt{LC}$, a $Q(R_L) = R_L \cdot \sqrt{\frac{C}{L}}$.

Blok označen sa $G_{PI}(s)$ predstavlja analogni PI regulator, čija je prenosna f-ja:

$$G_{PI}(s) = \frac{U(s)}{E(s)} = K_p + \frac{K_i}{s}. \quad (9)$$

Projektovanje analogne f-je prenosa, $G_{PI}(s)$ odnosi se na proračun proporcionalne, K_p i integracione konstante, K_i regulatora. Proračun parametara regulatora zasniva se na zadovoljavanju specificiranih parametara iz vremenskog domena koji karakterišu prelazni režim konvertora, kao što su vreme uspona T_u i premašaj. Kako se predhodna dva parametra iz vremenskog domena ekvivalentiraju parametrima iz frekvencijskog domena, kao što su jedinična učestanost kružnog pojačanja i fazna margina, respektivno, proračun parametara regulatora se zapravo zasniva na zadovoljavanju pomenutih parametara iz frekvencijskog domena.

Ekvivalencija između vremena uspona i jedinične učestanost kružnog pojačanja proizlazi iz empirijske činjenice po kojoj je vreme uspona obrnuto srazmerno učestanosti propusnog opsega i aproksimacije po kojoj je učestanost propusnog opsega približno jednaka učestanosti jediničnog kružnog pojačanja. S druge strane se premašaj i fazna margina (PM) odnose tako da se pri smanjenju PM povećava premašaj i samim tim sistem postaje nestabilniji, dok se pri povećanju PM smanjuje premašaj ali se time povećava vreme uspona.

Prema specificiranom maksimalnom vremenu smirenja od $T_s = 200 \text{ ms}$, može se proceniti maksimalno vreme uspona na $T_u = T_s/4 = 50 \text{ ms}$, a na osnovu empirijske relacije $T_u \cdot f_o \approx 0.3 \div 0.4$ procenjuje se minimalan potreban propusni opseg sistema, odnosno jedinična učestanost kružnog pojačanja $f_t \approx f_o \approx 7 \text{ Hz}$. Da bi sistem u prelaznom režimu imao dato vreme uspona, bio stabilan i imao ne preveliki premašaj usvaja se standardna vrednost fazne margine iz opsega $[\pi/9, \pi/3]$, t. j. $PM = \pi/4$.

Na osnovu predhodna dva parametra iz frekvencijskog domena i izraza za kružno pojačanje

$$\beta A(s) = \frac{\omega_o^2 \cdot V_g}{s^2 + \frac{\omega_o}{Q(R_L)}s + \omega_o^2} \cdot \frac{K_p \cdot s + K_i}{s} \quad (10)$$

dobija se sistem jednačina u kome su nepoznate K_p i K_i :

$$|\beta A(j\omega_T)| = 1, \quad (11)$$

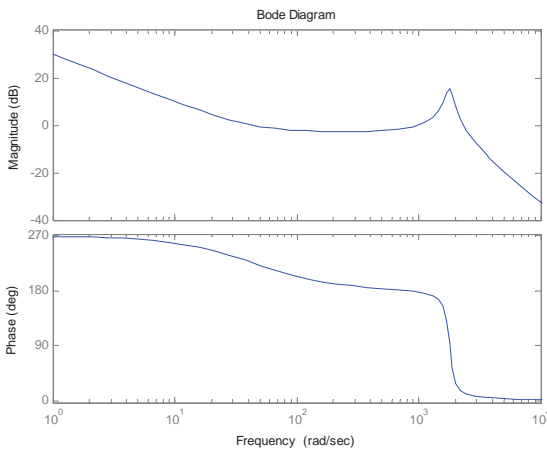
$$\arg\{\beta A(j\omega_T)\} = -\pi + PM. \quad (12)$$

Rešavajući predhodni sistem jednačina uz izvesne aproksimacije dobija se približan opseg vrednosti unutar kog se nalaze parametri PI regulatora kada se ulazni napon konvertora i otpornost potrošača nalaze u opsezima datim u specifikaciji: $-0,353 \leq K_p \leq -0,202$, $8,880 \leq K_i \leq 15,541$.

Za parametre PI regulatora usvaja se aritmetička sredina njihovih opsega, odnosno: $K_p = -0,277$, $K_i = 12,21$.

Tačne vrednosti parametara pri $V_g=3$ V i $R_L=10$ Ω su: $K_p = -0,235$; $K_i = 10,391$.

Na slici 3 je prikazan Bodeov dijagram kružnog pojačanja konvertora kompenzovanog PI regulatorom pri $V_g=3$ V, $R_L=10$ Ω , $K_p = -0,235$ i $K_i = 10,391$. Sa dijagrama se očitava da je $PM \approx 45^\circ$ i $\omega_T \approx 40$ s⁻¹, što potvrđuje rezultate proračuna.



Slika 3. Bodeov dijagram kružnog pojačanja konvertora kompenzovanog PI regulatorom pri $V_g=3$ V, $R_L=10$ Ω , $K_p=-0,235$, $K_i=10,391$.

VI. DISKRETIZACIJA KONTINUALNOG PI REGULATORA I ODABIRANJE IZLAZNOG NAPONA KONVERTORA

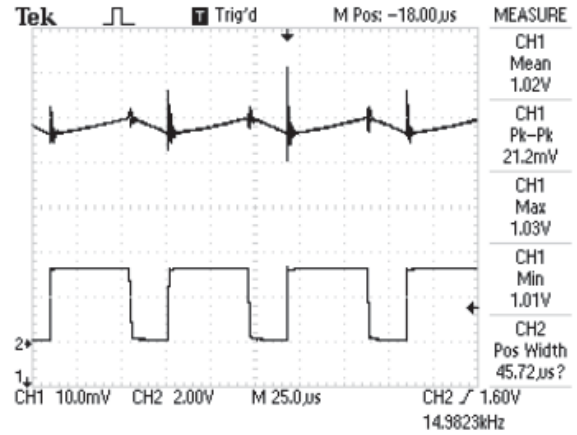
Primenom bilinerne (Tustin-ove) transformacije na kontinualnu funkciju prenosa PI regulatora dolazi se do algoritam digitalnog PI regulatora koji je dat sa:

$$u[n] = u_p[n] + u_i[n], \quad (13)$$

gde je: $u_p[n] = K_p \cdot e[n]$ -proporcionalni član, a $u_i[n] = u_i[n-1] + \frac{K_i T_s}{2} \cdot (e[n] + e[n-1])$ -integralni član.

U trenutcima promena stanja prekidača osim što se javlja visokofrekventni prekidački šum, dolazi i do nagle promene struje kalema usled čega se javljaju Dirakovi impulsi u naponu

kalema. Ove smetnje se uprkos dobrog filtarskog LC kola javljaju i u izlaznom naponu konvertora. Talasni oblik izlaznog napona konvertora na kome se jasno uočavaju pomenute smetnje dat je na slici 4.



TDS 1002 - 8:47:59 PM 9/15/2012

Slika 4. Talasni oblici izlaznog napona konvertora (CH1, gornji grafik) i PWM signala za pobudu prekidačkog tranzistora (M1) (CH2, donji grafik) ($V_g=2$ V; $d_r=68,5\%$; $V_o=1,02$ V; $V_{ref}=1$ V; $\Delta V_o=20$ mV; $V_{op_p}=4$ mV).

Ukoliko se trenutak odabiranja poklopi sa trenutkom promene stanja prekidača rezultat A/D konverzije će biti pogrešan, uzrokovati da izlazni napon konvertora izvesno vreme osciluje oko referentnog napona.

Način da se eliminišu efekti smetnji na performanse sistema je da se odabiranje ne vrši u fiksnom vremenskom trenutku unutar svake 150-te periode PWM signala, (s obzirom da je učestanost odabiranja 100 Hz a prekidačka učestanost 15 kHz) već da se trenutak odabiranja podešava tako da bude što dalji od trenutaka promene stanja prekidača u tim periodama PWM signala. Rešenje ovog problema je ponuđeno u [1], [2] i [3]. Rešenje se zasniva na algoritmu odabiranja zvanom RES/FES algoritam (rising edge sampling (RES) / falling edge sampling (FES)). Prema ovom algoritmu, trenutak odabiranja kasni u odnosu na početak odgovarajuće periode PWM signala za vremenski period, t_d koji zavisi od vrednosti odnosa impuls-perioda u toj periodi. Zavisnost vremena kašnjenja od odnosa impuls-perioda data je sledećim izrazom:

$$t_d = \begin{cases} \frac{d_r}{2} \cdot T_s, & \text{ako je } d_r \geq 0,5 \\ \frac{d_r + 1}{2} \cdot T_s, & \text{ako je } d_r < 0,5 \end{cases} \quad (14)$$

Dodatna pogodnost koja se dobija primenom RES/FES algoritma odabiranja ogleda se u tome što se za rezultat konverzije izlaznog napona "buck" konvertora dobija njegova srednja vrednost u okviru periode PWM signala unutar koje je izvršeno odabiranje, čime se anulira uticaj talasnosti izlaznog napona konvertora na njegovu regulaciju.

VII. OGRANIČENJE ODNOSA IMPULS-PERIODA I OPSEGA VREDNOSTI UPRAVLJAČKE PROMENLJIVE DIGITALNOG PI REGULATORA

Za ispravan rad konvertora neophodno je ograničiti vrednost odnosa impuls-perioda. Opseg vrednosti impuls-perioda dat je sa:

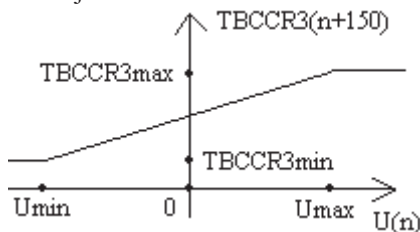
$$n_{min} \cdot \Delta d_r \leq d_r \leq n_{max} \cdot \Delta d_r, \quad (15)$$

gde su: $0 < n_{min}, n_{max} < N + 1$.

Na osnovu zavisnosti odnosa impuls-perioda od vrednosti sadržane u registru TBCCR3 i na osnovu predhodno usvojenog ograničenja vrednosti odnosa impuls-perioda-a sledi da je opseg vrednosti registra TBCCR3 dat sa:

$$n_{min} - 1 \leq TBCCR3 \leq n_{max} - 1. \quad (16)$$

Vrednost registra TBCCR3 koja se koristi za definisanje odnosa impuls-perioda PWM signala u periodama od $n+150$ do $n+2*150-1$, $TBCCR3[n+150]$ izračunava na osnovu upravljačke promenljive digitalnog PI regulatora $u[n]$ sračunate na osnovu odbirka izlaznog napona konvertora $Vo[n]$ odabranog u n -toj periodi PWM signala. Zavisnost sadržaja registra TBCCR3 od upravljačkog signala digitalnog PI regulatora data je na slici 5.

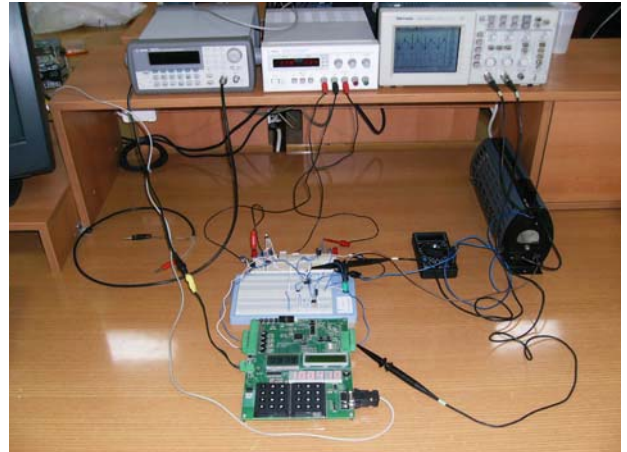


Slika 5. Zavisnost sadržaja registra TBCCR3 od upravljačkog signala digitalnog PI regulatora.

Opseg na koji se ograničava vrednost upravljačkog signala digitalnog PI regulatora eksperimentalno je određen i iznosi $-100 < u < 100$. Prilikom eksperimentalnog određivanja opsega upravljačke promenljive $u[n]$ najpre su usvojene nekoliko puta šire simetrične granice od gore navedenih i posmatran je odziv konvertora na promenu ulaznog napona i opterećenja. Potom je vršeno sužavanje granica sve dok brzina odziva konvertora i njegova stabilnost nisu postali zadovoljavajući. Naime, jasno je da je sužavanjem granica upravljačke promenljive potrebna manja vrednost upravljačke promenljive za ostvarivanje potrebne vrednosti registra TBCCR3, t. j. potrebnog odnosa impuls-perioda, odnosno da je potrebno manje ciklusa odabiranja da bi integralni član porastao/smanjio toliko da bi u zbiru sa trenutnim proporcionalnim članom dao potrebnu vrednost upravljačke promenljive, čime se odziv konvertora ubrzava. Sužavanjem granica upravljačke promenljive ispod određene granice sistem postaje nestabilan jer praktično počinje da radi samo sa ekstremnim vrednostima registra TBCCR3, odnosno sa graničnim vrednostima odnosa impuls-perioda.

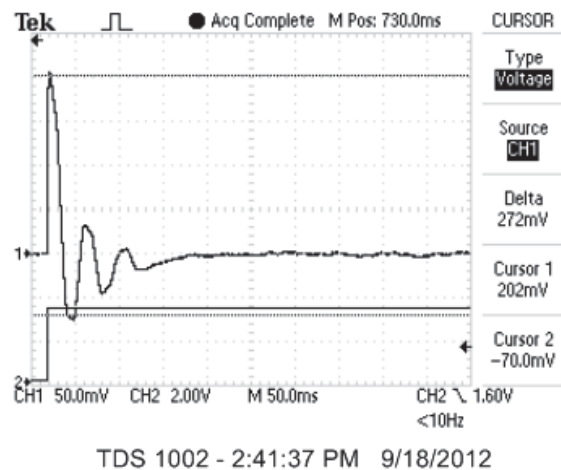
VIII. EKSPERIMENTALNI REZULTATI

Na slici 6 prikazana je razvojna ploča sa mikrokontrolerom MSP430F449, protobord ploče na kojima je realizovan "buck" konvertor, potenciometar koji služi kao promenljivi potrošač otpornosti R_I , PC putem koga se zadaje željena vrednost referentnog napona, generator signala koji služi za pobudu tranzistora M2 preko koga se vrši uključivanje dodatnog potrošača otpornosti R_{L1} , baterija za napajanje konvertora, osciloskop i unimer.

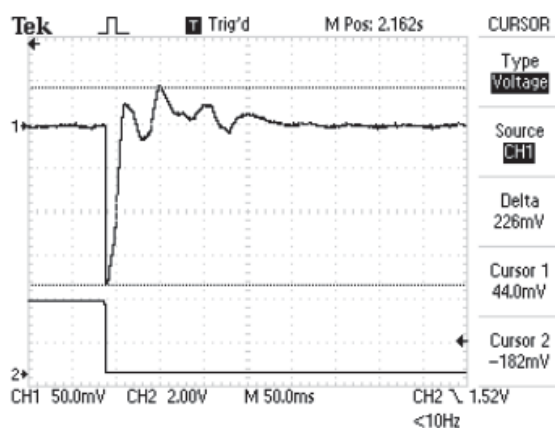


Slika 6. Eksperimentalna postavka.

Na slikama 7 i 8 prikazani su talasni oblici naizmenične komponente izlaznog napona konvertora i invertovane vrednosti signala za pobudu tranzistora M2 pri referentnom naponu od 1,5 V. Tranzistor M2 služi za uključivanje/isključivanje dodatnog potrošača otpornosti R_{L1} . Otpornosti potrošača i dodatnog otpornika, koje su međusobno jednake, izabrane su tako da se struja potrošnje u ustanjenom stanju menja sa 100 mA na 200 mA i obrnuto.



Slika 7: Talasni oblici naizmenične komponente izlaznog napona konvertora (CH1, gornji grafik) i invertovane vrednosti signala za pobudu tranzistora M2 (CH2, donji grafik) pri isključenju dodatnog potrošača otpornosti R_{L1} ($V_g=3$ V; $V_{ref}=1.5$ V; $R_L=R_{L1}=15$ Ω ; $P_{OFF}=13.467\%$; $T_{SOFF}=160$ ms).

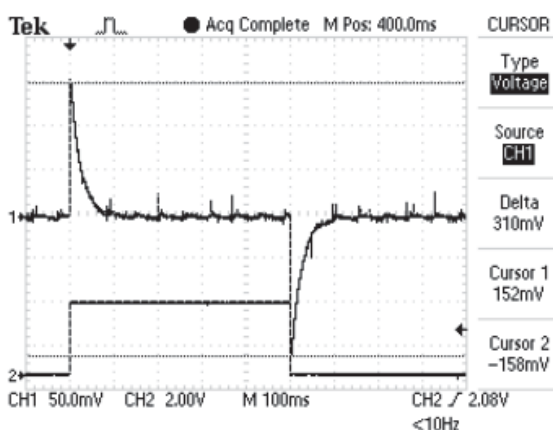


TDS 1002 - 5:35:34 PM 9/18/2012

Slika 8: Talasni oblici naizmenične komponente izlaznog napona konvertora (CH1, gornji grafik) i invertovane vrednosti signala za pobudu tranzistora M2 (CH2, donji grafik) pri uključenju dodatnog potrošača otpornosti R_{L1} ($V_g=3$ V; $V_{ref}=1,5$ V; $R_L=R_{L1}=15$ Ω ; $P_{ON}=12,133\%$; $T_{SON}=180$ ms).

Eksperimentalni rezultati dopunjeni su sa talasnim oblikom naizmenične komponente izlaznog napona konvertora (pogledati sliku 9) snimljene pri impulsnoj promeni otpornosti potrošača (pri kojoj se izlazna struja u ustaljenom stanju menja sa 100 mA na 200 mA i obrnuto) u slučaju upotrebe PID regulatora. Parametri PID regulatora su podešeni tako da performanse konvertora budu optimalne [6], i iznose:

$$K_p = -0,071; K_i = 114; K_d = 0,0002.$$



TDS 1002 - 5:46:23 PM 9/21/2012

Slika 9. Talasni oblici naizmenične komponente izlaznog napona konvertora (CH1, gornji grafik) i invertovane vrednosti signala za pobudu tranzistora M2 (CH2, donji grafik) ($V_g=3$ V; $V_{ref}=1$ V; $R_L=R_{L1}=10$ Ω ; $P_{OFF}=15,2\%$; $T_{SOFF}=100$ ms; $P_{ON}=15,8\%$; $T_{SON}=100$ ms).

IX. ZAKLJUČAK

Na osnovu prikazanih eksperimentalnih rezultata može se zaključiti sledeće:

- Projektovani PI regulator je ispoštovao zadatu specifikaciju koja se odnose na vreme smirivanja izlaznog napona konvertora pri impulsnoj promeni otpornosti potrošača (pri kojoj se izlazna struja u ustaljenom stanju menja sa 100

mA na 200 mA i obrnuto) koje je manje od 200 ms uz premašaje od najviše 14% vrednosti referentnog napona.

- Greška u ustaljenom stanju, odnosno razlika srednje vrednosti izlaznog napona i referentnog napona (ΔV_o) pri regulisanju napona od 1 V iznosi 20 mV, što je manje od $0,06 \cdot 1$ V.

- Amplituda talasnosti izlaznog napona konvertora pri regulisanju najnižeg referentnog napona, tj. $V_{ref}=1$ V, iznosi oko 4 mV, tj. $0,4\% V_{ref}$.

Kako je vreme smirivanja najviše 180 ms a perioda odabiranja 10 ms jasno je regulatoru potrebno najviše 18 ciklusa odabiranja ne bi li sistem doveo u ravnotežno stanje.

Usled niske učestanosti procesorskog jezgra upotrebljenog mikrokontrolera maksimalna učestanost odabiranja je izuzetno mala usled čega su i dinamičke performanse konvertora skromne. Učestanosti odabiranja u relevantnim radovima pobrojanim u literaturi jednaka prekidačkoj učestanosti, koja je reda desetina pa i stotina KHz, usled čega su i dinamičke performanse konvertora znatno bolje.

LITERATURA

- [1] David M. Van de Sype, et. al., "A sampling algorithm for digitally controlled boost PFC converters," IEEE Trans. Power Electronics, Vol. 19, No. 3, pp.649-657, May 2004.
- [2] J. Zhou and Z. Qian, "Novel sampling algorithm for DSP controlled 2KW PFC converter," IEEE Trans. Power Electron., vol. 16, no.2, pp.217-222, March 2001.
- [3] David Van de Sype, "Digital Control of Boost Power Factor Preregulators : Sampling," RUG-FTW, 2nd PhD Symposium, December 12, 2001, paper 75, 2 p.
- [4] Aleksander Prodic, Dragan Maksimovic and Robert W. Erickson, "Design and Implementation of a Digital PWM Controller for a High-Frequency Switching DC-DC Power Converter", IECON'01, The 27th Annual Conference of the IEEE Industrial Electronic Society, pp. 893-898, 2001.
- [5] "Designing a TMS320F280x Based Digitally Controlled DC-DC Switching Power Supply", Application Report, Texas Instruments, 2005.
- [6] Tomislav B. Šekara, Miroslav R. Mataušek, "Classification of dynamic processes and PID controller tuning in a parameter plane Original Research, Journal of Process Control, Volume 21, Issue 4, pp. 620-626, April 2011.

ABSTRACT

In this paper the design and implementation of a digital controller for the buck converter are presented. Regulation of the converter output voltage achieved by applying pulsed width modulation. Control loop of the output voltage of the converter is implemented using the MSP430F449 microcontroller. Method according to the design of the controller is done are called digital redesign. Sampling of the converter output voltage is performed by an algorithm which are called RES/ FES. Based on the accompanying experimental results it can be concluded that the output voltage of the converter, in which control is accomplished as described above, have satisfactory settling time and overshoot during pulse change of load resistant.

DIGITAL CONTROL OF BUCK CONVERTER USING MICROCONTROLLER MSP430F449

Darko Fabijan, Radivoje Djurić, Tomislav Sekara