

Realizacija PWM bloka u Matlab/DSP Builder-u

Dejan Jokić, Slobodan Lubura
Elektrotehnički fakultet Istočno Sarajevo
dejan.jokic@etf.unssa.rs.ba
slobodan.lubura@etf.unssa.rs.ba

Duško Lukač
Rheinische Fachhochschule,
University of Applied Sciences
Köln, Germany
lukac@rfh-koeln.de

Sadržaj— U ovom radu opisana je realizacija bloka u Matlab/DSP Builder-u za generisanja PWM signala na FPGA kolu. Važan zahtjev pri realizaciji navedenog bloka, pod imenom PWM blok, bio je njegova univerzalna primjena za različite tipove pretvarača energetske elektronike. Univerzalnost ovog bloka ogleda se kroz implementaciju više različitih PWM tehnika, prihvatanju označenih/neoznačenih binarnih brojeva te umetanja „mrtvog vremena“. Detaljno su opisane različite PWM tehnike kao i način realizacije bloka za generisanje PWM signala. Funkcionalnost realizovanog bloka je verifikovana eksperimentalnim putem na Altera DE2 razvojnom sistemu sa FPGA kolom Cyclon II. Dobijeni rezultati potvrđuju da je odabrana koncepcija realizacije bloka za generisanje PWM signala bila ispravna.

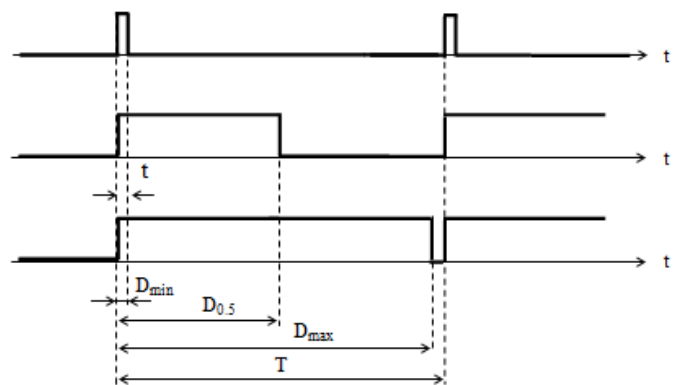
Ključne riječi - DSP Builder; Matlab; DE2; FPGA; PWM;

I. UVOD

Napredak FPGA kola doprinio je ubrzanom razvoju CAD alata i metodologija projektovanja FPGA kola kako bi se sa tradicionalnog načina projektovanja ovih kola (HDL—*Hardware Description Language*) prešlo na neke apstraktnije metode projektovanja. Ovo znači da inženjeri različitih struka koji nisu upoznati sa unutrašnjom strukturom FPGA kola i HDL jezikom mogu jednostavno programirati ova kola. U tom smislu, proizvođači FPGA kola ponudili su na tržištu specijalizovane softvere kao što je programski paket *DSP Builder* (Altera) kojim se premoštava ovaj konceptualni jaz. *DSP Builder* je sastavni dio opšte prihvaćenog softverskog paketa *Matlab/Simulink* koji omogućava uvoz digitalnih sklopova realizovanih tradicionalnim načinom projektovanja u programu *Quartus II* te VHDL uopšte. Kako se *Matlab/Simulink* intenzivno koristi za razvoj i validaciju upravljačkih struktura i algoritama u realnom vremenu, intuitivno se javila ideja da bi se upravljački algoritmi i njegove komponente (PID regulator [1], [2], prihvatanje signala sa enkodera [2], [3], blok za generisanje PWM signala i sl.) mogli implementirati na FPGA kolima uz pomoć *Matlab/DSP Builder*-a. Na ovaj način bi se relativno jednostavno došlo do rješenja prototipa upravljačkih struktura, koja se po potrebi, mogu implementirati za određenu aplikaciju kao ASIC kolo. Takođe, prednost korištenja ovog načina projektovanja je mogućnost povezivanja digitalnih sklopova realizovanih u *DSP Builder*-u sa ostalim blokovima iz *Matlab*-a za potrebe simulacije. U ovom radu opisana je realizacija PWM bloka, upotrebom dobro poznatog *Matlab* okruženja, kako bi se mogle jednostavno realizovati upravljačke strukture na FPGA za različite pretvarače energetske elektronike.

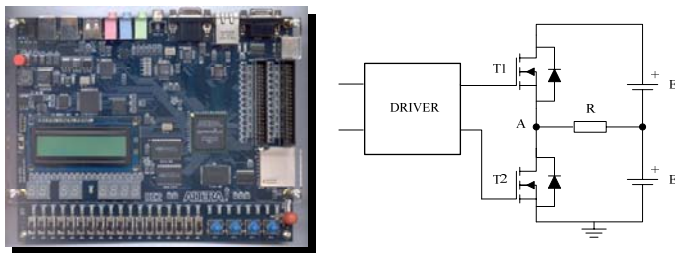
II. BLOK ZA GENERISANJE PWM SIGNALA

Kao što je u uvodu rada navedeno FPGA kola se mogu koristiti za realizaciju upravljačkih struktura u različitim pretvaračima energetske elektronike kao što su: Pulse Width Modulation (PWM) invertori [1], [4], [5], Power Factor Correction (PFC) pretvarači [6], višenivovski [7], i matricni pretvarači [8], STATCOM pretvarači [9], kao i u upravljanju električnim mašinama kao pogoni za asinhronne motore, za reluktantne motore [10]-[12] i sl. Poznato je da za svoj rad pretvarači energetske elektronike zahtijevaju upravljačke signale koji obično imaju promjenljivu širinu impulsa i konstantnu frekvenciju. To znači da upravljačke strukture navedenih pretvarača koje su realizovane na FPGA kolima moraju da posjeduju blok za generisanje PWM impulsa. Zadatak ovog bloka je da digitalnu vrijednost sa izlaza upravljačke strukture (označeni/neoznačeni binarni broj) moduliše u “odgovarajuću formu” upravljačkih signala za gore pomenute pretvarače. Postupak modulacije nazvan je širinsko impulsna modulacija a modulirana promjenljiva je faktor ispuše D uz konstantnu frekvenciju nosećeg signala [4]. Princip upravljanja svodi se na regulaciju srednje vrijednosti napona (struje) na prekidačkom intervalu na pomenutim objektima upravljanja. Na sl. 1. prikazana su tri širinsko impulsno modulirana signala za različite vrijednosti faktora ispuše D . Faktor ispuše definiše se kao odnos trajanja signala t u odnosu na period T , označava se sa D (Duty cycle) i ima vrijednosti $0 < D < 1$ a može se izraziti i u procentima čije granice su obično od 2 do 98%.

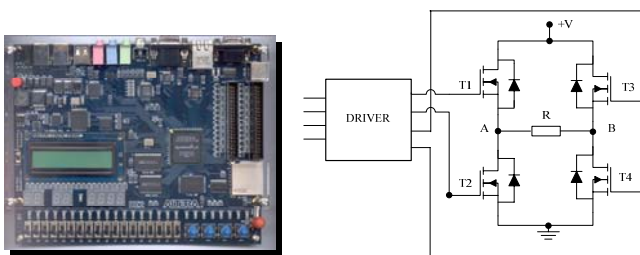


Sl.1. Različite vrijednosti faktora ispuše D

Ovako modulirani signali se preko odgovarajućih izvršnih organa pretvarača dovode na objekat upravljanja. Na sl. 2. i sl.3. prikazani su poluosni i mosni tip izvršnog organa koji se često koriste u praksi za upravljanje različitim objektima. U narednom primjeru razmatran je poluosni izvršni organ. Pošto prekidači u grani ne smiju biti istovremeno uključeni jer bi izvor napajanja bio kratko spojen, generisani impulsi za uključenje/isključenje prekidača moraju biti u protufazi. Jedan od zadataka bloka za generisanje PWM impulsa je da upravo obezbijedi korektan redosljed impulsa za pojedine prekidače. Takođe, zbog konačnog trajanja prelaznih procesa uključanja/isključanja prekidača poželjno je da postoji "mala" vremenska zadržka između procesa isključenja jednog i uključanja drugog tranzistora u istoj grani, kako bi se osiguralo da se neće desiti istovremeno uključenje prekidača. Uobičajeni naziv za ovu vremensku zadržku je „mrtvo vrijeme“ o čemu će kasnije biti riječi.



Sl. 2. Principijelna šema poluosnog izvršnog organa



Sl. 3. Principijelna šema mosnog izvršnog organa

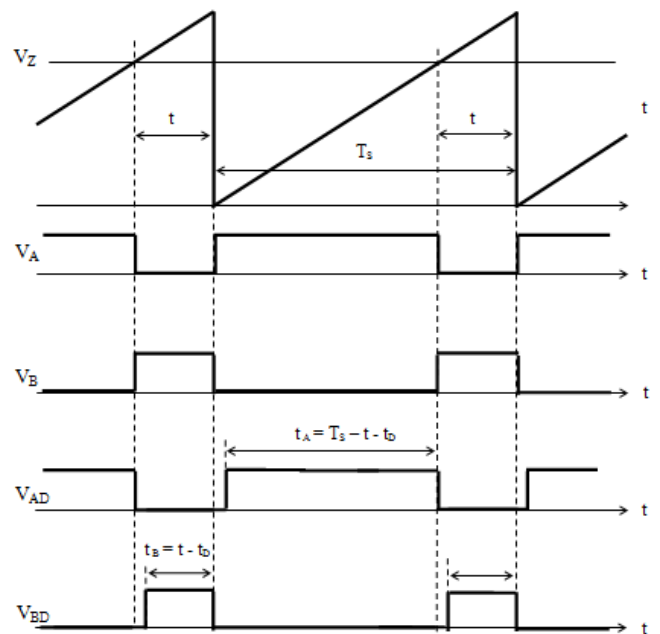
III. VRSTE PWM MODULACIJE

Princip PWM tehnika bazira se na poređenju nosećeg testerastog/trokutastog signala sa nekim modulacionim signalom. Perioda dobijenih PWM impulsa odgovara periodi nosećeg testerastog/trokutastog signala a širina impulsa trenutnoj vrijednosti modulišućeg signala [4]. U opštem slučaju mogu se implementirati analogno ili digitalno. Analogne tehnike imaju sljedeće nedostatke: promjena vrijednosti komponenti usljed starenja ili promjene radne temperature, naponski/strujni ofseti analognih kola za procesiranje signala, kao i njihova podložnost EMI (Electromagnetics Interference) smetnjama. Osim toga izmjene kod analognih tehnika svode se na izmjene šema za razliku kod digitalnih tehnika gdje se izmjene vrše softverskim putem, što je u principu jednostavnije. U novije vrijeme sa razvojem mikrokontrolera i FPGA kola analogna realizacija se postepeno zamjenjuje digitalnom. Međutim, i digitalne realizacije imaju svoja

ograničenja kao što je maksimalna frekvencija generisanih PWM impulsa. Kod realizacija naprednijim mikrokontrolerima i standardnim FPGA kolima maksimalna frekvencija obično je manja od 100 kHz. Takođe, zbog ograničene širine digitalne riječi, rezolucija i tačnost digitalnih implementacija je manja od analognih, što ima za posljedicu da je harmonijski spektar generisanog PWM signala "lošiji", tj. amplitude nepoželjnih viših harmonika su veće u poređenju sa analognim implementacijama, a unosi se i nepoželjno kašnjenje u regulacionu strukturu.

A. Formiranje PWM impulsa sa testerastim nosećim signalom

Digitalni signal V_A promjenjive (modulisane) dužine trajanja impulsa sa konstantnom periodom T_S dobija se poređenjem zadane vrijednosti V_Z i testerastog signala konstantne periode T_S (sl.4.). Generisanje PWM impulsa započinje sa porastom testerastog napona od nule. Trajanje aktivnog dijela impulsa određeno je trenutkom presjeka testerastog signala i zadane vrijednosti V_Z , dok je period PWM impulsa jednak periodu nosećeg testerastog signala T_S . Za poređenje ovih signala i generisanje PWM impulsa koriste se analogni naponski komparatori. Ako se upravlja objektom preko poluosnog izvršnog organa (sl.2.) potrebno je obezbijediti dvije povorke impulsa V_A i V_B (sl.4.) koje se vode na prekidače poluosnog izvršnog organa. Kod formiranja PWM impulsa za mosne/poluosne izvršne organe poželjno je u originalnu povorku PWM impulsa ubaciti „mrtvo vrijeme“ (dead time) da bi spriječili istovremeno provođenje prekidača u jednoj grani. Ovo vrijeme t_D dobija se unosenjem kašnjenja kod uključanja svakog prekidača. Povorke impulsa sa mrtvim vremenom označene su sa V_{AD} i V_{BD} čija trajanja impulsa su umanjena, respektivno, $t_A = T_S - t - t_D$ i $t_B = t - t_D$.



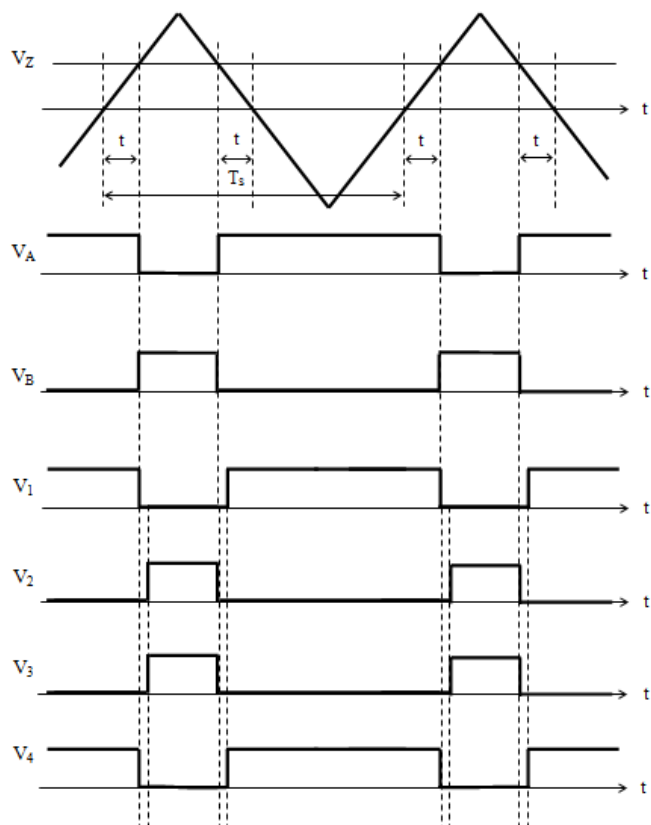
Sl. 4. Generisanje PWM impulsa pomoću testerastog signala [4]

B. Formiranje PWM impulsa sa trokutastim nosećim signalom

Na sličan način PWM impulsi mogu se dobiti i poređenjem zadane vrijednosti V_Z (sl.5.) sa nosećim signalom koji ima oblik trokuta konstantne periode T_S . U ovom slučaju dobijeni PWM signal V_A ima visoki naponski nivo za svaku zadanu vrijednost V_Z koja je veća od vrijednosti trokutastog nosećeg signala. Povorka PWM signal V_B se dobija negiranjem povorke V_A . Dobijene povorke kao u predhodnom slučaju koriste se za upravljanje prekidačima kod mosnih/polumosnih izvršnih organa. S obzirom da se ovi signali dovode na prekidače mosnog/polumosnog pretvarača i ovde je potrebno obezbijediti „mrtvo vrijeme“.

C. Formiranje PWM impulsa za mosni izvršni organ sa bipolarnom modulacijom

Za četverokvadrantno upravljanje objektom koristi se mosni izvršni organ koji posjeduje četiri prekidača i koji je prikazan na sl. 3. Prekidači se uključuju/isključuju dijagonalno u parovima gdje je jedan par uvijek uključen (kod bipolarne modulacije). PWM impulsi se generišu, kao i u predhodnom slučaju, poređenjem zadane vrijednosti V_Z sa nosećim trokutastim signalom (sl. 5.).

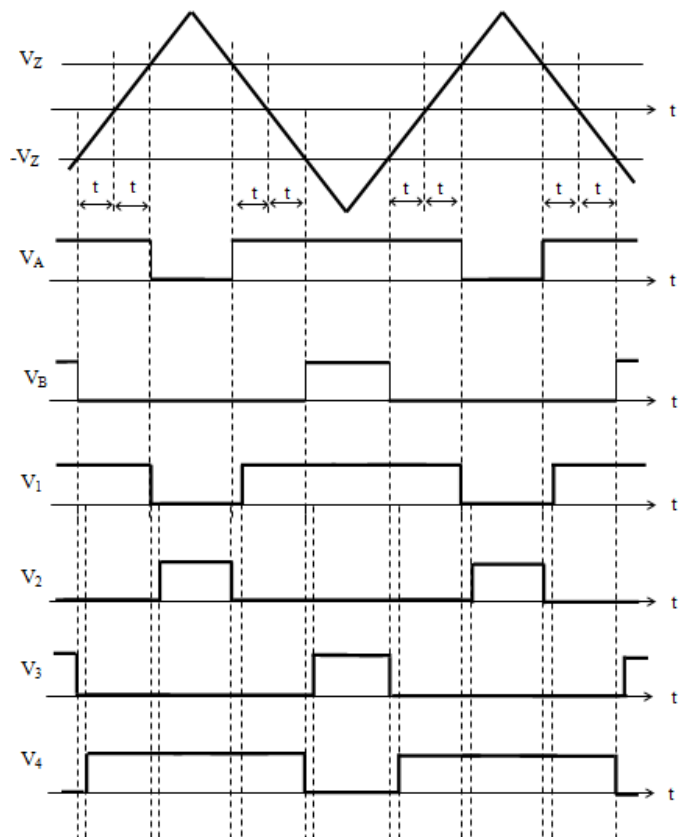


Slika 5. Formiranje PWM impulsa za mosni izvršni organ [4]

Kako bi izbjegli istovremeno uključivanje prekidača u istoj grani mosnog pretvarača potrebno je ubaciti „mrtvo vrijeme“. Na sl.5. prikazani su signali $V_1 - V_4$ koji se dovode na sva četiri prekidača mosnog pretvarača. Između signala koje dovodimo na prekidače iste grane, T_1 i T_2 te T_3 i T_4 (sl. 3.), ubačeno je „mrtvo vrijeme“.

D. Formiranje PWM impulsa za mosni izvršni organ sa unipolarnom modulacijom

Osim već navedenih modulacija široku primjenu ima i unipolarna modulacija. Kod ove modulacije PWM impulsi dobijaju se poređenjem nosećeg signala trokutastog oblika konstantne periode T_S sa dvije zadane vrijednosti V_Z i $-V_Z$ (sl. 6.).



Sl. 6. Formiranje PWM impulsa za mosni izvršni organ [4]

Širinsko modulirani signal V_A dobija se poređenjem “pozitivne” zadane vrijednosti V_Z signala, sa nosećim trokutastim signalom, a širinsko modulirani signal V_B dobija se poređenjem “negativne” zadane vrijednosti $-V_Z$ sa nosećim signalom. Dobijeni PWM impulsi $V_1 - V_4$ vode se na prekidače $T_1 - T_4$ mosnog pretvarača sa sl. 3.

IV. REALIZACIJA PWM BLOKA

Za realizaciju navedenih tipova modulacija kao što je već pokazano potrebno je digitalno generisati noseći signal testerastog ili trokutastog talasnog oblika konstantne periode T_S a zatim vršiti poređenja sa diskretnom zadanom vrijednošću signala V_Z ($-V_Z$ za slučaj unipolarnog modulacije) pomoću digitalnog komparatora. Za generisanje testerastog nosećeg signala korišten je binarni brojač koji inkrementira svoju vrijednost sa svakom rastućom ivicom takta a sa dostizanjem svoje najveće vrijednosti se resetuje i proces se ciklično ponavlja.

Za realizaciju nosećeg trokutastog signala, takođe, koristi se brojač ali u ovom slučaju sa postizanjem najveće vrijednosti

on se ne resetuje, već se njegov sadržaj dekrementira dok ne dostigne početnu vrijednost nakon čega se proces ciklično ponavlja. Takt koji se broji može biti različitog trajanja. Takt najkraćeg trajanja koji je moguće izbrojati je sistemski takt čije trajanje iznosi 20 ns jer frekvencija oscilatora koji se nalazi na razvojnoj ploči DE2 je 50 MHz. Ostale povorke impulsa koje se mogu brojati su dobijene dijeljenjem frekvencija ugrađenog oscilatora sa odnosom dva. Navedenim oscilatorom ograničena je najveća frekvencija nosećeg testerastog signala te rezolucija brojača. Za malu rezoluciju PWM bloka od svega 8-bitna ($2^8=256$) najveća frekvencija testerastog signala iznosi $1/(2^8*20\text{ ns}) = 195\text{ kHz}$. Frekvencija testerastog signala od 195 kHz je teoretska. Naime takt ovako kratkog trajanja je moguće izbrojati ali nije moguće izvršiti resetovanje brojača, preko odgovarajućeg flip-flopa pri ovoj frekvenciji, pa je najveća frekvencija testerastog signala pri 8-bitnoj širini riječi skoro duplo manja i iznosi 100 kHz. U tabeli 1. dat je pregled odnosa (teoretski) rezolucije brojača i frekvencija testerastog signala.

TABELA 1. TEORETSKI ODNOS NAJVEĆIH VRIJEDNOSTI REZOLUCIJE BROJAČA I FREKVENCIJE TESTERASTOG SIGNALA

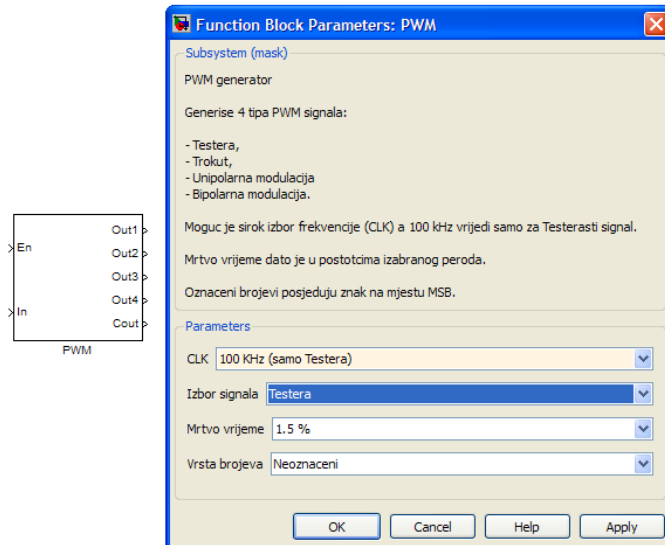
Frekvencija PWM impulsa	6 kHz	12 kHz	25 kHz	50 kHz	100 kHz	200 kHz
Rezolucija (br. bita)	256	128	64	32	16	8

Iako se mogla dobiti i veća rezoluciju od 8-bitna (manja od 16-bitna) na frekvenciji od 100 kHz, kao primjer bez umanjenja opštosti uzeta je 8-bitna, jer su standardne vrijednosti širine riječi 8, 16 i 32-bitna. Za razliku od testerastog signala, trokutasti signal ima i opadajuću ivicu pa je najveća frekvencija generisanog trokutastog signala 50 kHz za 8-bitnu širinu riječi. Koristeći DSP Builder u programskom paketu Matlab/Simulink realizovan je blok za generisanje PWM impulsa koji sadrži sve opisane zahtjeve: izbor modulacije, trajanje „mrtvog vremena” i različite frekvencije PWM impulsa. Po uzoru na blokove u Matlab-u kojima se mogu mijenjati parametri za određeni tip aplikacije realizovani blok ima više različitih padajućih menija u kojima se mogu mijenjati parametri. U tabeli 2. dat je pregled izbora parametara.

TABELA 2. IZBOR PARAMETARA BLOKA ZA GENERISANJE PWM IMPULSA

Frekvencija	Mrtvo vrijeme	Modulacije	Vrste brojeva
100 kHz	0	Testerasti noseći signal	Označeni
50 kHz	0,75%	Trokutasti noseći signal	Neoznačeni
25 kHz	1,5%	Bipolarna modulacija	
12 kHz	2,3 %	Unipolarna modulacija	
6 kHz	3,2%		

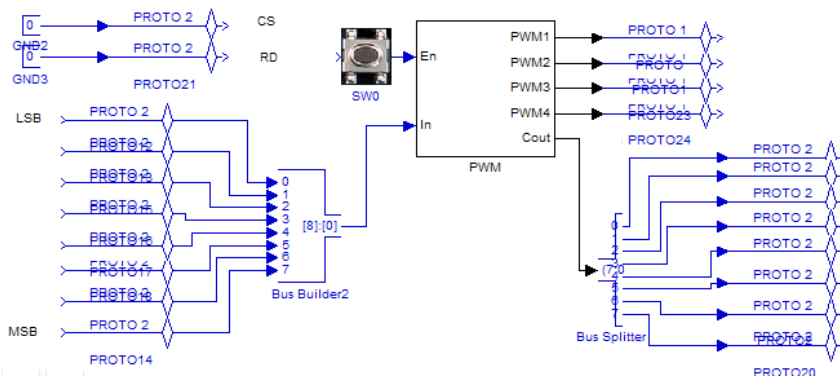
Izgled bloka za generisanje PWM signala i menija prikazani su na sl.7.



Sl. 7. Izgled menija za podešavanje parametara bloka za generisanje PWM impulsa

U padajućem meniju moguće je izabrati „mrtvo vrijeme“. Ono je definisano kao procenat izabrane frekvencije PWM impulsa odnosno periode. Po potrebi može se isključiti ako je ono na neki način implementirano, na primjer, u drayverima za upravljanje prekidačima u mosnim i polumosnim izvršnim organima. Prezentacije brojeva koje su podržane od strane Matlab-a su označeni i neoznačeni brojevi. Označeni brojevi imaju znak na mjestu prvog bita (MSB) i za 8-bitnu riječ vrijednosti se nalaze u opsegu od -128 do +127, dok su neoznačeni brojevi pozitivni brojevi i za 8-bitnu riječ nalaze se u opsegu od 0 do 255. O ovome treba voditi računa pri izboru brojne prezentacije zadane vrijednosti V_Z koja predstavlja sračunato upravljanje iz neke digitalne upravljačke strukture realizovane na FPGA. Na sl. 8. prikazana je blok šema realizovanog PWM bloka. Posjeduje dva ulaza, Enable i In. Na ulaz Enable dovodi se signal dozvole i definiše se prekidačem (ili se spoji na logičku jedinicu) dok na drugi ulaz In se dovodi diskretna zadana vrijednosti V_Z koja se poredi sa testerastim/trouganim nosećim signalom.

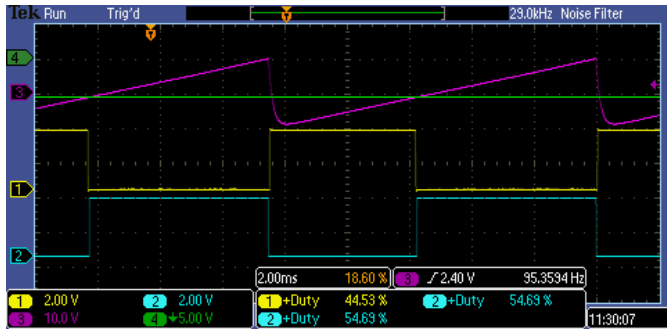
Pri testiranju rada bloka za generisanje PWM impulsa za dobijanje diskretne zadane vrijednosti korišten je podesivi istosmjerni napon koji je doveden na ulaz 8-bitnog AD konvertora. Na izlazu konvertora dobijena je 8-bitna zadana vrijednost V_Z koja je dalje dovedena na ulaz In realizovanog bloka za generisanje PWM impulsa. Sa desne strane bloka nalazi se pet izlaza. Na izlazima označenim od PWM1 do PWM4 dobijaju se PWM impulsi dok izlaz Cout predstavlja 8-bitnu magistralu. Ovaj izlaz se može koristiti kao izvor testerastog/ trokutastog signala za internu upotrebu u programu ili kao u našem slučaju spojiti na DA konvertor i koristiti za bolju grafičku prezentaciju eksperimentalnih rezultata.



Sl. 8. Način povezivanja realizovanog PWM bloka sa ulazno/izlaznim pinovima

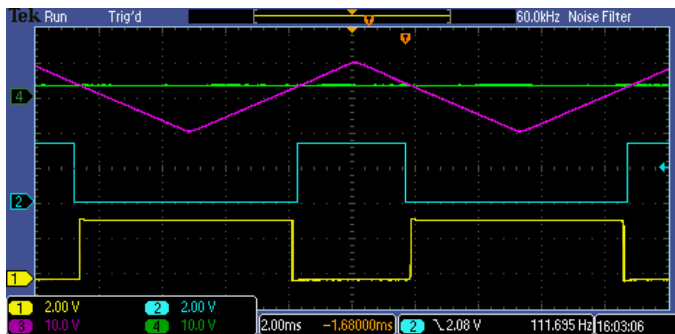
V. VERIFIKACIJA PWM BLOKA EKSPERIMENTALNIM PUTEM

Na narednim slikama dati su eksperimentalni rezultati rada PWM bloka gdje se na donjem dijelu slika nalaze osnovni parametri (vrijeme, napon i faktor ispune). Na sl. 9. prikazano je poređenje nosećeg testerastog signala (ljubičasta) i zadane istosmjerne vrijednosti signala (zeleni). Kao rezultat poređenja dobijena su dva komplementarna PWM signala (žuti i plavi).



Sl. 9. Generisanje PWM impulsa sa testerastim nosećim signalom

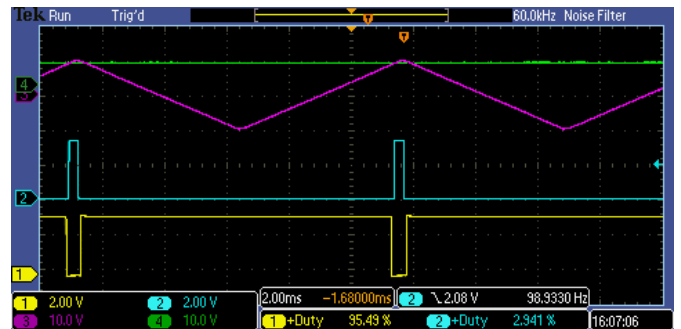
Na sl. 10. prikazan je postupak generisanja PWM signala poređenjem trokutastog nosećeg signala i istosmjerne zadane vrijednosti.



Sl. 10. Generisanje PWM impulsa sa trokutastim nosećim signalom

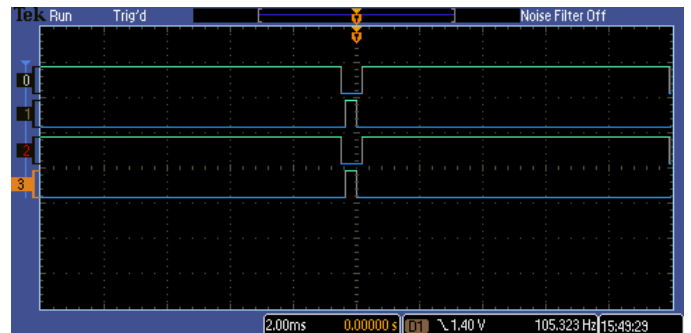
Na sl. 11. dat je rezultat za granični slučaj kada istosmjerna zadana vrijednost za poređenje ima najveću vrijednost. Naime, najveći faktor ispune iznosi oko 95% bez obzira da li je zadana vrijednost veća od najveće moguće a najmanja vrijednost iznosi oko 3%. Ograničenja minimale i maksimalne vrijednosti faktora ispune usko je povezano sa frekvencijom PWM

impulsa, odnosno minimalnom širinom impulsa koji se mogu dovesti na prekidače.



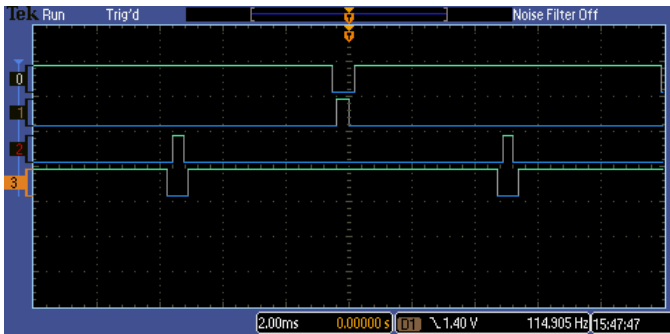
Sl. 11. Širina PWM impulsa za najveću zadanu vrijednost

Kod formiranja impulsa za mosni izvršni organ za bipolarnu modulaciju signali su u principu isti kao i kod poređenja trokutastog nosećeg signala i zadane vrijednosti stišto se generisani PWM signali istovremeno dovode dijagonalno na prekidače T1 i T3 te T2 i T4 (sl.3.), kao što je prikazano na sljedećoj sl. 12.



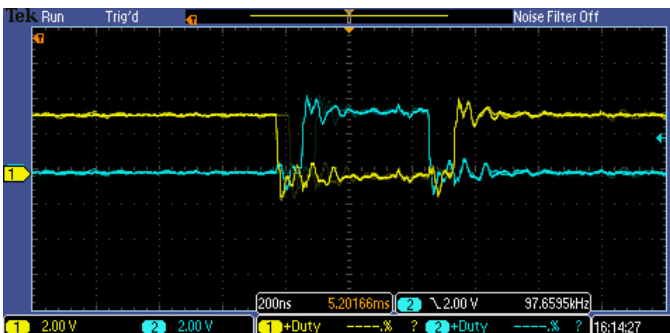
Sl. 12. PWM impulsi za bipolarnu modulaciju

Kod formiranja PWM impulsa za mosni izvršni organ sa unipolarnom modulacijom, kako je već napomenuto noseći trokutasti signal poređi se sa pozitivnom i negativnom zadanom vrijednošću, u ovom slučaju istosmjernom. Na sl. 13. gornja dva PWM signala rezultat su poređenja trokutastog nosećeg signala i pozitivne zadane vrijednosti a druga dva signala, rezultat presjeka trokutastog nosećeg signala i negativne zadane vrijednosti.



Sl. 13. PWM impulsi nosnog izvršnog organa za unipolarnu modulaciju

Kod realizovanja ovih signala vodilo se računa o umetanju „mrtvog vremena“ između isključenja jednog i uključivanja drugog prekidača u izvršnom organu. Zahtjev je bio da umetnuto „mrtvo vrijeme“ između PWM signala bude potpuno jednako pri svim frekvencijama PWM signala i za sve tipove modulacija, što je na kraju uspješno i ostvareno. Na sl. 14. dat je primjer umetanja „mrtvog vremena“ između dva komplementarna PWM signala za najveću moguću frekvenciju PWM impulsa od 100 KHz. Bez umanjavanja opštosti uzeto je „mrtvo vrijeme“ od 1,6 %, što iznosi 80 ns pri frekvenciji PWM signala od 100 KHz. Takođe, u padajućem meniju bloka za generisanje PWM impulsa moguće je izabrati i neku drugu vrijednost umetnutog „mrtvog vremena“.



Sl. 14. Primjer umetanja „mrtvog vremena“ trajanja 80 ns u PWM signal frekvencije 100 kHz

VI. ZAKLJUČAK

Cilj ovog rada je bio da se realizuje, što je moguće više, univerzalniji PWM blok koji se može koristiti kod široke klase pretvarača energetske elektronike. Ograničenje iskazano kroz malu frekvenciju osnovnog takta DE2 ploče je smanjilo njegovu moguću upotrebu kod pretvarača koji rade na većim frekvencijama od 100 KHz. Sa druge strane univerzalnost ovog bloka ogleđa se kroz implementaciju više različitih PWM tehnika, označenih i neoznačenih brojeva te „mrtvog vremena“. Dobijeni eksperimentalni rezultati potvrđuju da je odabrana koncepcija realizacije bloka za generisanje PWM signala bila ispravna.

- [1] Barlas T., Moallem M.: "Developing FPGA-based Embedded Controllers using Matlab/Simulink", Simon Fraser University Surrey, BC, Canada, Factory Automation 2009.
- [2] Dejan Ž. Jokić, Slobodan D. Lubura, Milomir M. Šoja: „Closed Control Loop Implementation for Single Robot Axis on FPGA Platform“, 11th IFAC/IEEE International Conference on Programmable Devices and Embedded Systems, PDeS 2012, Brno, May 23th-25th, 2012.
- [3] Dejan Jokić, Slobodan Lubura, Srđan Lale, Duško Lukač: „Encoder signal processing on FPGA platform realized in Matlab/DSP Builder“, Telfor 2012, Beograd.
- [4] Mohan Ned, Tore M. U., William P. R.: „Power Electronics“, John Wiley & Sons INC, 2002.
- [5] Slobodan Lubura, Mile K. Stojčev: „Pregled PWM tehnika i načina njihove implementacije“, INFOTEH-JAHORINA, Vol. 4, Ref. E-III-14, p. 379-386, March 2005.
- [6] Castro A., Zumel P., Garcia O., Riesgo T., Uceda J.: "Concurrent and simple digital controller of an AC/DC converter with power factor correction based on an FPGA", IEEE Trans. Power Electron., vol. 18, no. 1, pp. 334-343, Jan. 2003.
- [7] Gateau G., Lienhardt A. M., Meynard T.: "Digital sliding mode observer implementation using FPGA", IEEE Trans. Ind. Electron., vol. 54, no. 4, pp. 1865-1875, Aug. 2007.
- [8] Wheeler P. W., Clare J., Empringham L.: "Enhancement of matrix converter output waveform quality using minimized commutation times", IEEE Trans. Ind. Electron., vol. 51, no. 1, pp. 240-244, Feb. 2004.
- [9] Dinavahi V., Iravani R., Bonert R.: "Design of a real-time digital simulator for a D-STATCOM system", IEEE Trans. Ind. Electron., vol. 51, no. 5, pp. 1001-1008, Oct. 2004.
- [10] Aounis A.: "An investigation into induction motor vector control based on reusable VHDL digital architectures and FPGA rapid prototyping", Ph.D. dissertation, De Montfort Univ., Leicester, U.K., 2002.
- [11] Chapuis Y.-A., Girerd C., Aubépart F., Blondé J.-P., Braun F.: "Quantization problem analysis on ASIC-based direct torque control of an induction machine", Proc. IEEE IECON, 1998, pp. 1527-1532.
- [12] Idris N. R. N., Yatim A. H. M.: "Direct torque control of induction machines with constant switching frequency and reduced torque ripple", IEEE Trans. Ind. Electron., vol. 51, no. 4, pp. 758-767, Aug. 2004.

Abstract— In this paper is described realization of block for generating PWM signal on FPGA circuit in Matlab/DSP Builder. Important requirement in design of this block named PWM block was its universal application to different types of converters used in power electronics. Universality of this block is visible through implementation of various PWM techniques, acceptance of marked/unmarked binary numbers and insertion of „dead time“. Various PWM techniques have been described in detail as well as the manner of realisation of block for generating PWM signal. Functionality of realized block was verified experimentally on DE2 development system with Cyclone II FPGA circuit. Obtained results confirm that the chosen concept for realisation of block for generating PWM signal was correct.