

CMOS sabirači u režimima jake i slabe inverzije

Branko Dokić, Miladin Sandić*

Univerzitet u Banjoj Luci
Elektrotehnički fakultet
Banja Luka, Republika Srpska
bdokic@etfbl.net, msandic@teol.net

* student II ciklusa

Sadržaj— Logičko kašnjenje i potrošnja energije su dva ključna parametra koja definišu energetska efikasnost CMOS digitalnih integrisanih kola. Energetska efikasnost zavisi od tehnologije, radnog režima, parametara tranzistora, napona napajanja i topologije kola. U ovom radu su analizirane dvije topologije 4-bitnih paralelnih sabirača sa rednim prenosom u dva režima rada: režim jake i režim slabe inverzije. Sabirači su projektovani standardnom i prenosnom CMOS logikom. Najbolja energetska efikasnost postiže se u režimu slabe inverzije pri naponu napajanja $V_{DD}=300$ mV. Karakteristike logičkog kašnjenja i potrošnje energije dobijene su PSPICE analizom, korišćenjem parametara 0.18 μm tehnologije.

Ključne riječi— CMOS logika; slaba inverzija; jaka inverzija; mala potrošnja; CMOS sabirač

I. UVOD

Suštinsko pitanje razvoja CMOS digitalnih kola jeste kompromis između brzine i potrošnje. Brža kola imaju veću potrošnju energije. Potrošnja digitalnih CMOS kola sastoji se od dvije komponente: statičke i dinamičke. Statička disipacija snage direktno je proporcionalna statičkoj struji i naponu napajanja ($P_S = V_{DD}I_S$). Dominantan uticaj na statičku struju imaju inverzna struja zasićenja p-n spoja drejn-podloga MOS tranzistora i pretpragovska struja I_{Dsub} koja je za $V_{gs}=0$, približno [3,9]:

$$I_{Dsub} = I_0 e^{-V_t / n\phi_t}, \quad (1)$$

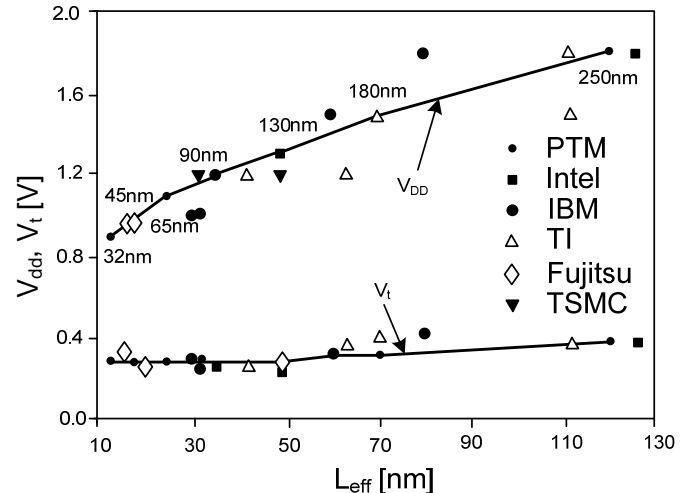
gdje je $I_0 = \mu_0 C_{ox} \frac{W}{L} (n-1) \phi_t^2$, μ_0 je pokretljivost nosilaca naelektrisanja, C_{ox} je kapacitivnost oksida gejta, W je širina, a L dužina kanala, V_{gs} je napon gejt-sors, ϕ_t je temperaturni potencijal ($\phi_t = 26$ mV na temperaturi $T=300$ K), V_t je napon praga tranzistora, a $n = 1 + C_d / C_{ox}$ strmina struje drejna u pretpragovskom režimu.

Dinamička disipacija snage P_d takođe se sastoji od dvije komponente: prekidačke P_{dsw} i disipacije prelaza ili kratkog spoja P_{dsc} . Prekidačka disipacija je posljedica punjenja i pražnjenja opteretnog kondenzatora i proporcionalna je sa V_{DD}^2 ($P_{dsw} \sim V_{DD}^2$), dok je disipacija kratkog spoja $P_{dsc} \sim t_{sc} (V_{DD} - 2V_t)^3$ posljedica vođenja oba tranzistora u prelaznoj oblasti (t_{sc} je zbir vremena porasta i pada ulaznog signala [2]).

Logičko kašnjenje CMOS invertora je obrnuto proporcionalno sa $V_{DD} - V_t$, tj. $t_d \sim 1 / (V_{DD} - V_t)$ tako da je brzina

CMOS kola približno linearna funkcija razlike napona napajanja V_{DD} i napona praga MOS tranzistora V_t .

Cilj svakog projektanta tehnologije jeste što veća brzina rada osnovnih kola, pri što manjoj potrošnji. Kod CMOS kola obje ove karakteristike zavise od V_{DD} i V_t , odnosno od njihove razlike $V_{DD} - V_t$. Stoga su i postupci proporcionalnog smanjivanja dimenzija i parametara tranzistora i kola (skaliranja) bili svedeni na smanjivanje V_{DD} i napona praga V_t . Smanjenjem V_t povećava se razlika $V_{DD} - V_t$, što smanjuje logičko kašnjenje. Međutim, pretjerano smanjivanje V_t povećava pretpragovsku struju (1) i osjetljivost na smetnje. Stoga je uobičajeno $V_t > 0.2$ V. Na sl. 1 prikazan je trend skaliranja V_{DD} i V_t kroz razvoj tehnologije od 250 nm do 32 nm [1].



Slika 1. Trend skaliranja V_{DD} i V_t od 250 do 32-nanometarske tehnologije

Napon napajanja V_{DD} na sl. 1 je za CMOS kola u režimu jake inverzije. U poslednjih desetak godina sve veća pažnja istraživača posvećena je CMOS kolima u režimu slabe inverzije (pretpragovski režim) [2]. Napon napajanja u ovoj oblasti je manji od napona praga tranzistora ($V_{DD} < V_t$), pa su sve komponente potrošnje znatno smanjene. Međutim, zbog veoma male struje u pretpragovskom režimu, brzina rada CMOS kola je znatno manja nego u režimu jake inverzije.

U [3] su pokazane analogije karakteristika osnovnih parametara i postupaka projektovanja CMOS kola u režimima jake i slabe inverzije. Statičke karakteristike $I_D(V_{ds})$ u oba režima imaju zasićenu i nezasićenu oblast. Razlike su samo u

funkcionalnim zavisnostima. U zasićenoj oblasti je npr. $I_d \sim (V_{gs}-V_t)^2$ za režim jake, a $I_d \sim e^{V_{gs}-V_t}$ za režim slabe inverzije. S druge strane, kada je tranzistor u nezasićenoj oblasti karakteristika, onda je u režimu jake inverzije $I_d \sim V_{ds}^2$, dok je u režimu slabe inverzije $I_d \sim e^{V_{ds}}$ [3, 7, 8], gdje je V_{ds} napon drejn-sors. Iz ovih razlika proističu i funkcionalne razlike osnovnih parametara CMOS kola. Tako, na primjer, napon praga V_T CMOS invertora u režimu jake inverzije je $V_T \sim 1/\sqrt{W_n/W_p}$, a u režimu slabe inverzije $V_T \sim \ln(W_n/W_p)$, gdje su W_n i W_p širine kanala nMOS i pMOS tranzistora (pretpostavljeno je $L_n=L_p$). U oba slučaja napon praga simetričnog invertora je $V_T = V_{DD}/2$. Sintaza NI i NILI kola je identična u oba režima. Napon praga zavisi od broja ulaza m i broja aktivnih ulaza n , s tim što je ta zavisnost u režimu jake inverzije $\sim \sqrt{nm}$, a u režimu slabe inverzije je logaritamska. Slične su i karakteristike otpornosti transmissionog gejtja, s tim da je otpornost provodnog gejtja u režimu slabe inverzije veća za nekoliko redova veličina.

Suštinska prednost prepragovskog režima je znatno manja potrošnja (i do nekoliko redova veličina), dok je osnovni nedostatak smanjena brzina rada. U ovom radu, prednosti i nedostaci jednog i drugog režima, odnosno oblasti njihove primjene biće pokazani na primjeru dvije topologije 4-bitnih statičkih sabirača. Jedna topologija je bazirana na konvencionalnoj, a druga na prenosnoj logici. Date su i njihove karakteristike potrošnje, kašnjenja i temperaturske osjetljivosti. Svi rezultati su dobijeni primjenom PSPICE 16.3-p008 firme Cadence Design Systems.

II. SINTEZA SABIRAČA

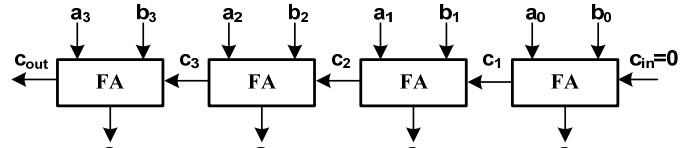
Sabiranje dva binarna broja je najjednostavnija, a ujedno i osnovna aritmetička operacija u procesoru. Ovo je fundamentalna aritmetička operacija, jer se pomoću sabiranja mogu realizovati i ostale tri aritmetičke operacije: oduzimanje, množenje, dijeljenje [4].

Modul n-bitnog sabirača je kombinacona mreža sa dva n-bitna ulazna operanda $\underline{a}=(a_{n-1}, \dots, a_0)$ i $\underline{b}=(b_{n-1}, \dots, b_0)$ i n-bitnim izlazom sume $\underline{s}=(s_{n-1}, \dots, s_0)$. Sabirač ima ulazni c_{in} i izlazni c_{out} signal prenosa.

Matematički model n-bitnog sabirača može se opisati sljedećim iskazom:

$$\begin{aligned}
 \text{Ulazi:} \quad & \underline{a}=(a_{n-1}, \dots, a_0), a_i \in (0,1), \\
 & \underline{b}=(b_{n-1}, \dots, b_0), b_i \in (0,1), \\
 & c_{in} \in (0,1). \\
 \text{Izlazi:} \quad & \underline{s}=(s_{n-1}, \dots, s_0), s_j \in (0,1), \\
 & c_{out} \in (0,1). \\
 \text{Funkcije:} \quad & s=(a+b+c_{in}) \bmod 2^n, \\
 & c_{out} = \begin{cases} 1, & (a+b+c_{in}) \geq 2^n \\ 0, & \text{inače.} \end{cases}
 \end{aligned} \tag{2}$$

Sintaza sabirača prema (2) se svodi na kaskadnu vezu potpunih sabirača FA (sl. 2). Pri sabiranju bita na najnižoj poziciji nema prenosa, pa je $c_{in}=0$ ili se na toj poziciji umjesto potpunog sabirača koristi polusabirač.

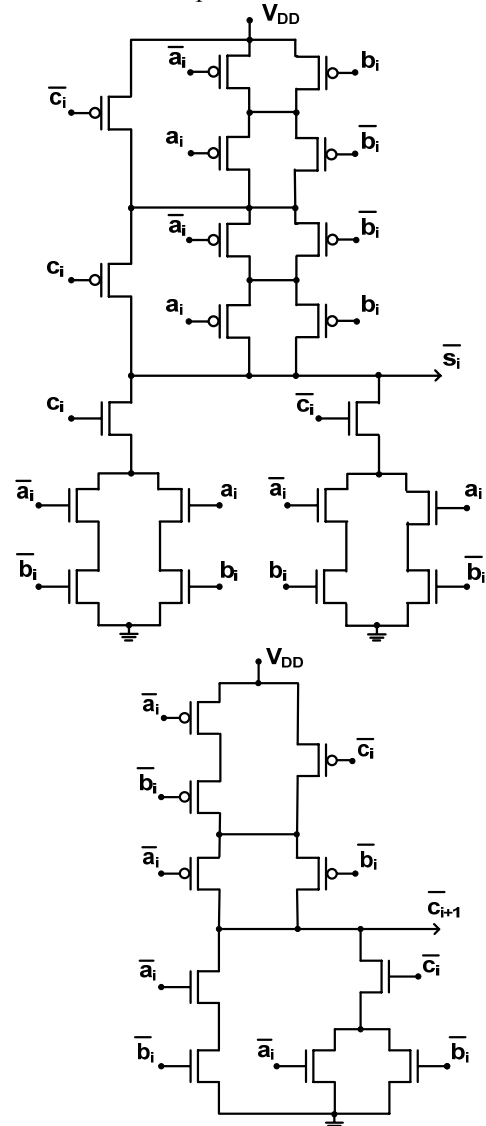


Slika 2. Paralelni 4-bitni sabirač sa rednim prenosom

Funkcije sume i prenosa potpunog sabirača određene su sa:

$$\begin{aligned}
 s_i &= a_i \oplus b_i \oplus c_i, \\
 c_{i+1} &= a_i b_i + (a_i \oplus b_i) c_i, \quad i=0,1, \dots, n-1.
 \end{aligned} \tag{3}$$

Direktnom sintezom jednačine (3) standardnim CMOS NI i NILI logičkim kolima dobijamo složenu tranzistorsku mrežu potpunog sabirača. Ona se može znatno pojednostaviti sintezom dualnih nMOS i pMOS tranzistorskih mreža.



Slika 3. Konvencionalna CMOS tranzistorska mreža potpunog sabirača

Ove mreže se dobijaju dvostrukom negacijom jednačina (3) i primjenom DeMorganovih teorema ispod donje negacije. Nakon sređivanja proizlazi da su:

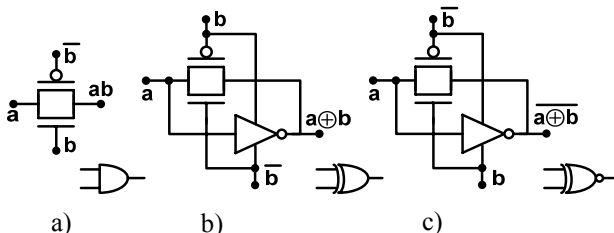
$$\begin{aligned} s_i &= \overline{(a_i \bar{b}_i + a_i b_i)} c_i + \overline{(a_i \bar{b}_i + a_i b_i)} c_i, \\ c_{i+1} &= \overline{a_i \bar{b}_i} + \overline{(a_i + b_i)} c_i. \end{aligned} \quad (4)$$

U tabeli 1 su date funkcije dualnih nMOS i pMOS mreža potpunog sabirača, a njegova tranzistorska šema prikazana je na sl. 3.

TABELA I. FUNKCIJE NMOS I PMOS MREŽA SUME S_i I PRENOSA C_{i+1}

Mreža	S_i	C_{i+1}
nMOS	$(a_i \bar{b}_i + a_i b_i) c_i + (a_i \bar{b}_i + a_i b_i) c_i$	$\overline{a_i \bar{b}_i} + \overline{(a_i + b_i)} c_i$
pMOS	$[(a_i + \bar{b}_i)(\bar{a}_i + b_i) + c_i][(\bar{a}_i + b_i)(a_i + \bar{b}_i) + \bar{c}_i]$	$(\bar{a}_i + \bar{b}_i)(\bar{a}_i \bar{b}_i + \bar{c}_i)$

Osnovna ćelija prenosne logike je transmisioni (prenosni) gejt koji se sastoji od paralelne veze para CMOS tranzistora (sl. 4a). Kada postoji kontrolni signal b , onda se stanje signala a prenosi na izlaz prenosne ćelije tako da je izlazna funkcija $f=ab$. Za prenosnu logiku su potrebni i komplementi signala što se ostvaruje invertorom. Pri tome se na linije napajanja nekih invertora mogu primjeniti signali kao što je pokazano na primjerima sinteze XILI i XNILI logičkih kola (sl. 4b-4c). Za sintezu ovih funkcija potrebna su dva para CMOS tranzistora, plus jedan par za komplement signala b . Za sintezu XNILI kola standardnom CMOS logikom potrebno je šest parova CMOS tranzistora, što je dva puta više nego sa prenosnom logikom. Zbog toga se prenosna logika koristi za projektovanje VLSI CMOS kola [10].

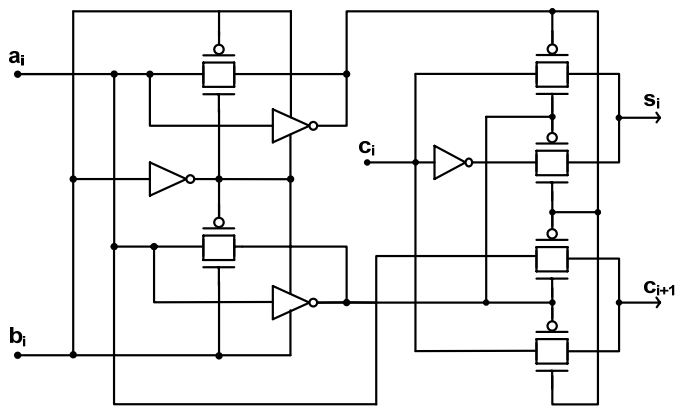


Slika 4. Logička I, XILI i XNILI kola u prenosnoj logici

Funkcije sume i prenosa (3) potpunog sabirača možemo pisati i u sledećem obliku:

$$\begin{aligned} s_i &= (a_i \oplus b_i) \bar{c}_i + \overline{(a_i \oplus b_i)} c_i, \\ c_{i+1} &= (a_i \oplus b_i) c_i + \overline{(a_i \oplus b_i)} a_i. \end{aligned} \quad (5)$$

S obzirom na sl. 4b i 4c, sinteza potpunog sabirača prema (5) prikazana je na sl. 5. Poredeći sl. 3 i sl. 5, dolazimo do zaključka da je za potpuni sabirač u prenosnoj logici potrebno tri puta manje tranzistora.



Slika 5. Potpuni sabirač u prenosnoj logici

III. REZULTATI SIMULACIJE

Korišćen je programski paket ORCAD 16.3 firme Cadence Design Systems i 0.18 μm tehnologija. Naponi praga MOS tranzistora su $V_t=370$ mV, širine kanala nMOS i pMOS tranzistora su $W_n=0.3$ μm , odnosno $W_p=0.8$ μm , dok su dužine kanala jednake ($L_n=L_p=0.35$ μm).

A. Karakteristike kašnjenja

Najveće kašnjenje je na putu signala prenosa (kritični put), jer se taj signal prenosi kaskadno od bita najmanje težine do priključka za izlazni prenos (c_{out}) sabirača. Ako sa t_c označimo vrijeme propagacije signala prenosa kroz jedan potpuni sabirač, a sa t_s vrijeme kašnjenja signala prenosa jednog FA do njegove sume, onda je prema [4], za 4-bitni sabirač:

$$t_{pmax} = 3t_c + \max(t_s, t_c) \quad (6)$$

Karakteristike kašnjenja (logaritamska razmjera) u funkciji napona napajanja V_{DD} i kapacitivnosti opterećenja C_L kao parametra, prikazane su na sl. 6. Kašnjenje sabirača sa prenosnom logikom u pretpragovskom režimu (sl. 6a) je manje, a u režimu jake inverzije (sl. 6b) je veće nego sa standardnom logikom. Kašnjenja u režimu slabe inverzije su za tri do četiri reda veličina veća nego u režimu jake inverzije (tab. 2). Tako, na primjer, za $V_{DDsub}=300$ mV i $V_{DD}=1.5$ V, pri $C_L=20$ fF taj odnos je 3306 za standardnu logiku, a 2108 za prenosnu logiku.

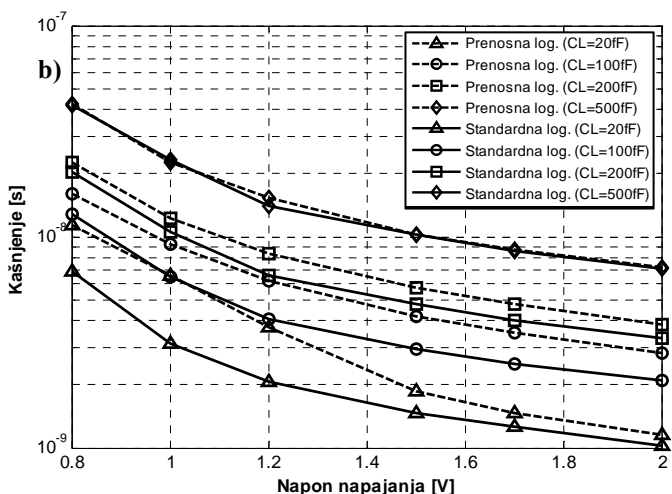
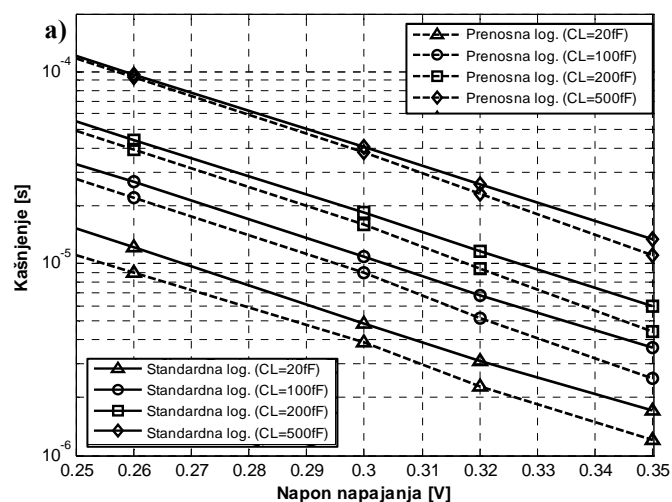
B. Karakteristike potrošnje

Karakteristike potrošnje (logaritamska razmjera) u funkciji napona napajanja V_{DD} i kapacitivnosti opterećenja C_L kao parametra, prikazane su na sl. 7. Sabirač sa standardnom logikom u pretpragovskom režimu ima nešto veću potrošnju od onog sa prenosnom logikom (sl. 8a).

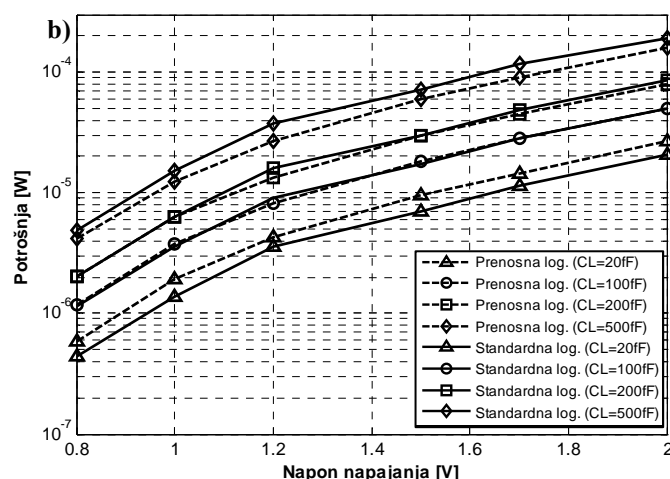
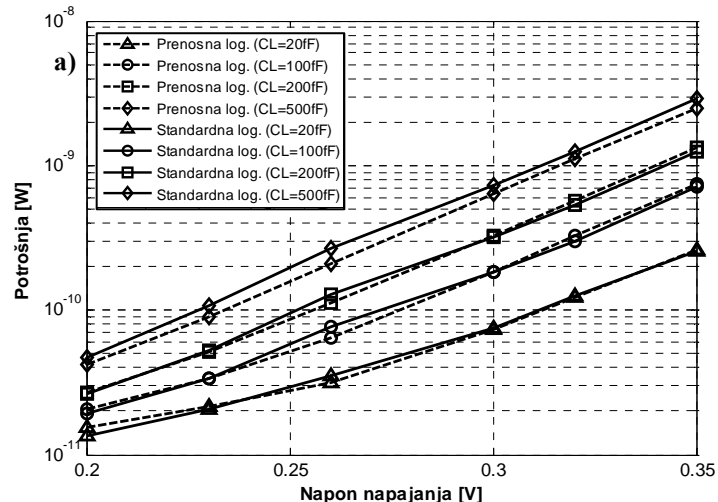
U režimu jake inverzije taj odnos zavisi od kapacitivnosti opterećenja (sl. 7b). Potrošnja energije u režimu slabe inverzije je nekoliko desetaka do nekoliko stotina pW (sl. 7a i tab. 2), dok je u režimu jake inverzije nekoliko μW do nekoliko desetaka μW (sl. 7b i tab. 2). Tako, na primjer, pri $V_{DD}=1.5$ V, $V_{DDsub}=300$ mV i $C_L=200$ fF odnos snage

TABELA II. KAŠNjenje I POTROŠnja U FUNKCIJI V_{DD} I C_L

		SLABA INVERZIJA				JAKA INVERZIJA			
		Standardna logika		Prenosna logika		Standardna logika		Prenosna logika	
		$V_{DD}=0.26V$	$V_{DD}=0.32V$	$V_{DD}=0.26V$	$V_{DD}=0.32V$	$V_{DD}=1V$	$V_{DD}=1.5V$	$V_{DD}=1V$	$V_{DD}=1.5V$
$C_L=20fF$	T_d	12.15 μs	3 μs	8.9 μs	2.3 μs	3.12 ns	1.47 ns	6.5 ns	1.85 ns
	P_d	35 pW	124.6 pW	31.4 pW	122.4 pW	1.38 μW	7.01 μW	1.92 μW	9.62 μW
$C_L=200fF$	T_d	43.85 μs	11.53 μs	39.3 μs	9.45 μs	10.6 ns	4.79 ns	12.2 ns	5.75 ns
	P_d	127.77 pW	537.34 pW	112.63 pW	575.57 pW	6.3 μW	30.09 μW	6.26 μW	29.78 μW
$C_L=500fF$	T_d	96.6 μs	25.67 μs	92.75 μs	22.9 μs	22.98 ns	10.17 ns	22.35 ns	10.3 ns
	P_d	267 pW	1243.8 pW	209.84 pW	1122.8 pW	15.04 μW	71.65 μW	12.39 μW	59.39 μW



Slika 6. Karakteristike kašnjenja 4-bitnih sabirača u režimima slabe (a) i jake inverzije (b)



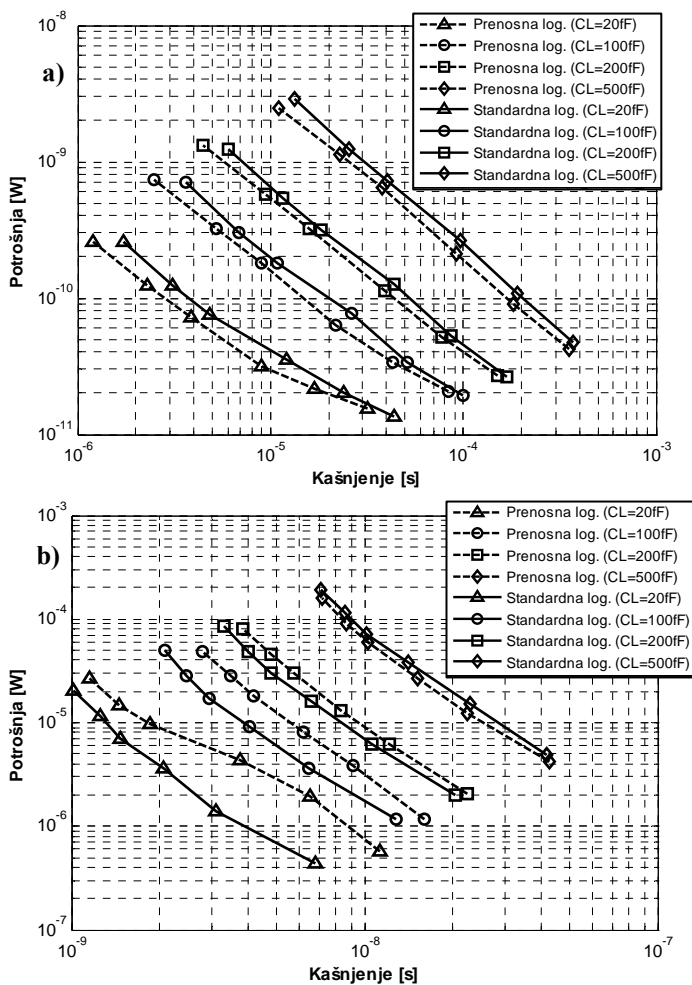
Slika 7. Karakteristike potrošnje 4-bitnih sabirača u pretpragovskom (a) i režimu jake inverzije (b)

disipacije P_{DD} / P_{DDsub} sabirača sa standardnom logikom je približno 47200, a sa prenosnom logikom oko 91500.

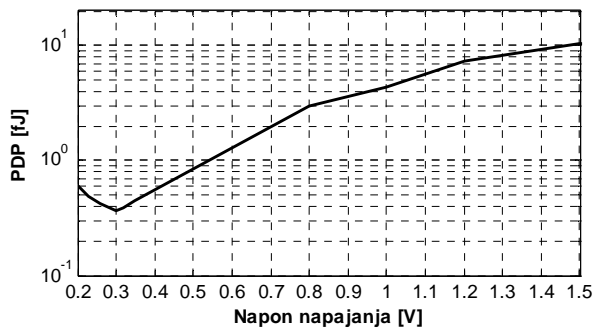
Za praktičnu primjenu veoma su korisne karakteristike koje pokazuju potrošnju u funkciji kašnjenja (sl. 8). Pri projektovanju logičkih kola uvijek se pravi kompromis između brzine i potrošnje. Kao mjera kvaliteta takvog kompromisa obično se definiše proizvod potrošnje i kašnjenja [6]:

$$PDP = P_d \cdot t_d \quad (7)$$

Optimalni napon napajanja je onaj kod kojeg je PDP najmanji. Primjer određivanja optimalnog napona napajanja 4-bitnog sabirača realizovanog u standardnoj logici za slučaj opterećenja $C_L=20$ fF, pomoću PDP krive prikazan je na sl. 9. Sa grafika (sl. 9) se vidi da je optimalni napon napajanja sabirača $V_{DD}=0.3$ V.



Slika 8. Potrošnja 4-bitnog sabirača u funkciji kašnjenja za različite kapacitivnosti opterećenja C_L u režimu slabe (a) i jake inverzije (b)



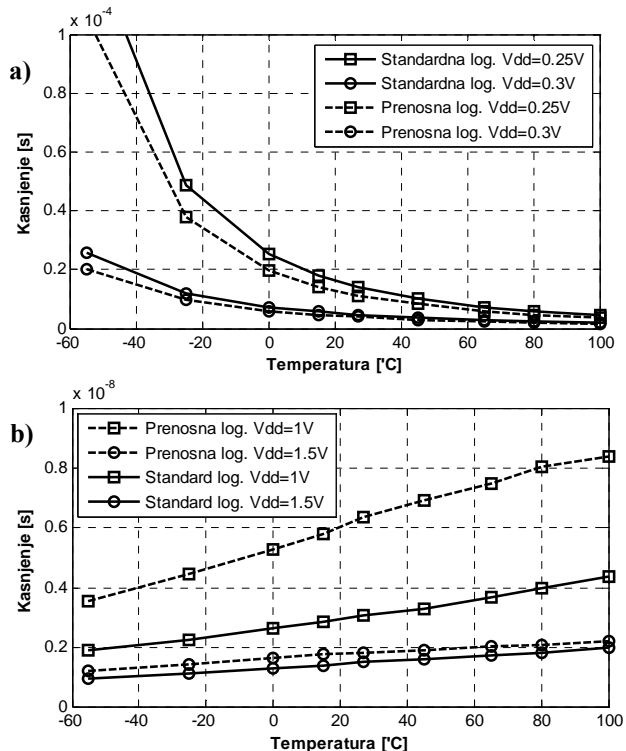
Slika 9. Procjena optimalnog napona napajanja sabirača

C. Temperaturske karakteristike

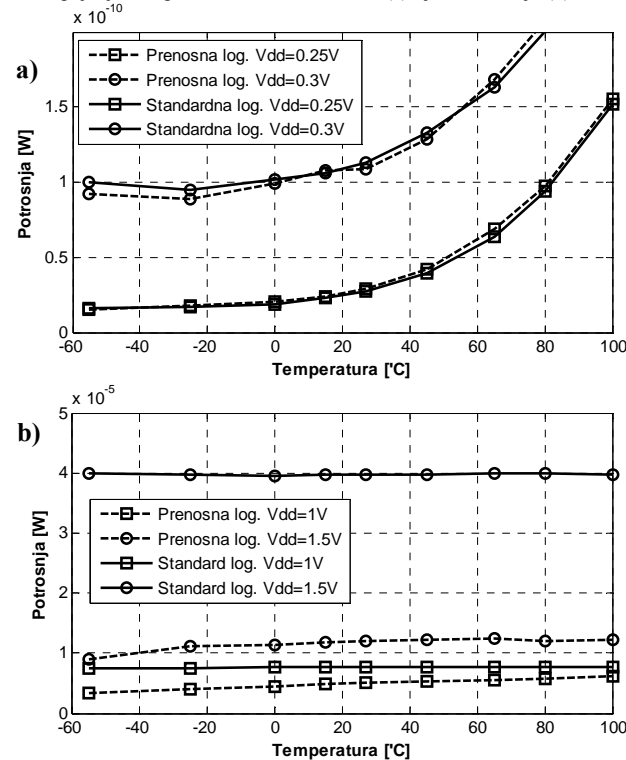
Temperaturna osjetljivost parametara CMOS digitalnih kola u režimu slabe inverzije je mnogo veća nego u režimu jake inverzije. To pokazuju i rezultati simulacije kašnjenja i potrošnje u funkciji temperature na sl. 10 i sl. 11.

Uočljivo je da u režimu slabe inverzije kašnjenje eksponencijalno opada, a potrošnja eksponencijalno raste sa porastom temperature (sl. 10a i sl. 11a). U režimu jake inverzije kašnjenje blago raste sa porastom temperature za

obje topologije sabirača (sl. 10b), dok je promjena potrošnje u funkciji temperature veoma mala (sl. 11b).



Slika 10. Kašnjenje 4-bitnog sabirača u funkciji temperature i napona napajanja kao parametra u režimu slabe (a) i jake inverzije (b)



Slika 11. Potrošnja 4-bitnog sabirača u funkciji temperature i napona napajanja kao parametra u režimu slabe (a) i jake inverzije (b)

IV. ZAKLJUČAK

Potrošnja energije 4-bitnih paralelnih sabirača sa rednim prenosom je reda nekoliko desetaka μW , u režimu jake inverzije, dok je u pretpragovskom režimu nekoliko stotina pW , pri optimalnom naponu napajanja $V_{DDsub}=300$ mV. U oba režima potrošnja raste približno linearno sa povećavanjem kapacitivnosti opterećenja. U pretpragovskom režimu za napone napajanja $V_{DDsub}<V_{DDopt}=300$ mV potrošnja opada sa porastom V_{DD} zbog dominantnog uticaja statičke potrošnje. Za $V_{DD}>V_{DDopt}$ potrošnja se povećava približno eksponencijalno sa porastom V_{DD} . Tako, na primjer, pri kapacitivnosti opterećenja $C_L=20$ fF, promjenom V_{DD} od 300 mV na 320 mV potrošnja poraste sa 75 pW na oko 125 pW kod standardne logike.

Logičko kašnjenje sabirača u pretpragovskom režimu je za tri do četiri reda veličine veće nego u režimu jake inverzije. Tako, na primjer, pri kapacitivnom opterećenju $C_L=20$ fF, logičko kašnjenje u režimu slabe inverzije, u zavisnosti od V_{DD} , kreće se od nekoliko μs do desetak μs , dok u režimu jake inverzije iznosi nekoliko ns .

Sabirači sa prenosnom logikom u režimu jake inverzije imaju nešto veće logičko kašnjenje i potrošnju, a u režimu slabe inverzije logičko kašnjenje i potrošnja su veći kod sabirača sa standardnom logikom. Logičko kašnjenje i potrošnja energije u pretpragovskom režimu su eksponencijalne funkcije temperature, pri čemu se kašnjenje smanjuje, a potrošnja raste sa porastom temperature. Tako, na primjer, promjenom temperature sa -55 °C na 27 °C kašnjenje sabirača sa prenosnom logikom se smanjuje oko 10 puta, pri $V_{DDsub}=250$ mV, a oko 5 puta pri $V_{DDsub}=300$ mV. Te promjene u temperaturskom opsegu od 27 °C do 100 °C su oko 3 puta pri $V_{DDsub}=250$ mV i oko 2.3 puta pri $V_{DDsub}=300$ mV. Potrošnja, u režimu slabe inverzije, povećava se za nekoliko puta pri promjeni temperature od -55 °C do $+100$ °C i ta promjena malo zavisi od topologije sabirača.

U režimu jake inverzije za obje logike sabirača potrošnja malo zavisi od temperature. Logičko kašnjenje približno linearno raste sa porastom temperature i u temperaturskom opsegu od -55 °C do $+100$ °C povećava se oko 2.6 puta, pri $V_{DD}=1$ V (sabirač sa prenosnom logikom). Temperaturske karakteristike sabirača sa standardnom logikom bolje su od onog sa prenosnom logikom.

LITERATURA

- [1] Rahul J. Gera, David H. K. Hoe, "An Evaluation of CMOS Adders in Deep Submicron Processes", Department of Electrical Engineering, The University of Texas, 2012.
- [2] Alice Wang, Benton H. Calhoun, Anantha P. Chandrakasan, *Sub-Threshold Design for ultra low-power Systems*, Springer, 2006.
- [3] Branko Dokić, Aleksandar Pajkanović, "Subthreshold Operated CMOS Analytic Model", INDEL 2012, Banja Luka.
- [4] B. Dokić, *Digitalna elektronika*, Akademski misao, Beograd, 2012.
- [5] Vojin G. Oklobdzija, Ram K. Krishnamurty, *High-Performance Energy-Efficient Microprocessor Design*, Springer, 2006.
- [6] M. Popović, *Osnovi elektronike*, Elektrotehnički fakultet, Beograd, 2004.
- [7] Joyce Kwong and A.P. Chandrakasan, "Advances in Ultra-Low-Voltage Design", IEEE SSCS NEWS, 2008.
- [8] Eric A. Vittoz, "Weak Inversion for Ultra Low-Power and Very Low-Voltage Circuits", IEEE Asian Solid-State Circuits Conference, November 16-18, 2009 / Taipei, Taiwan.
- [9] Ashutosh Mishra and R.A. Mishra, "Leakage Current Minimization in Dynamic Circuits Using Sleep Switch", IEEE 2012.
- [10] Massimo Alioto and Gaetano Palumbo, "Analysis and Comparison on Full Adder Block in Submicron Technology", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 10, NO. 6, December 2012.

ABSTRACT

Logical delay and power consumption are two essential parameters that define energy efficiency of CMOS digital integrated circuits. Energy efficiency depends of technology, working regime, parameters of transistors, supply voltage and topology of circuit. In this work, we analyzed two topologies of 4-bit parallel adders with serial carry in two working regimes: weak inversion and strong inversion regime. Adders are designed with standard and pass-transistor CMOS logic. The best energy efficiency is achieved in subthreshold at supply voltage $V_{DD}=300$ mV. Characteristics of logical delay and power consumption are obtained with PSPICE analysis, using 0.18 μm technology parameters.

CMOS Adders in Strong and Weak Inversion Regimes

Branko Dokić, Miladin Sandić*

University of Banja Luka

Faculty of Electrical Engineering

Banja Luka, Republika Srpska

bdokic@etfbl.net, msandic@teol.net

* student at II cycle