

Primjer niskopotrošačkog dizajna u FPGA tehnologiji za potrebe medicinskih mjerenja

Jovan Kovačević, Radovan Stojanović
Elektrotehnički fakultet Podgorica
Univerzitet Crne Gore
Podgorica, Crna Gora
jovan.k@live.co.uk, stox@ac.me

Zlatko Bundalo
Elektrotehnički fakultet Banja Luka
Univerzitet u Banja Luci
Banja Luka, BiH
zbundalo@etfbl.net

Sadržaj—Za potrebe medicinskih mjerenja se koriste integrisani biomedicinski sistemi koji pored ostalih osobina moraju imati malu potrošnju. Veliki broj se bazira na FPGA tehnologiji, pa je stoga potrebno optimizovati potrošnju u procesu automatizovanog FPGA dizajna. Demonstrirana je studija slučaja bazirana na korišćenju heterogenih logičkih blokova, pipelininga, optimizacija dužine riječi i reorganizacija logičkih blokova na čipu. Primjenom izloženih tehnika može se postići smanjenje potrošnje do 61% uz smanjenje zauzetosti čipa do 91%.

Ključne riječi - FPGA; Biomedicina; niskopotrošački uređaji;

I. UVOD

Integrisani medicinski uređaji služe za dijagnosticiranje, prevenciju i liječenje bolesti. Ovakvi uređaji se razlikuju po kompleksnosti i načinu primjene. Neki od primjera medicinskih uređaja u integrisanom obliku su: elektronski termometri, mjerači krvnog pritiska, mjerači šećera u krvi, holteri, kontroleri insulina u krvi itd.; u ovu grupu spadaju i napredniji uređaji kao što su medicinski roboti, mikro-čip implantati i neuro-proteze.

Portabilnost ovakvih uređaja je veoma važan aspekt [1]. Pacijentima se omogućava kvalitetna medicinska njega i u bolničkoj postelji, i kod svoje kuće. Savremeni uređaji su kompaktniji, precizniji i svestraniji. Glavni cilj je da pacijent postane što manje zavistan od svog ljekara, kako bi se isti rasteretio kada su u pitanju jednostavna, svakodnevna mjerenja ili osnovni regulatorni procesi (npr. insulinska pumpa). Pacijent aktivno učestvuje u svom liječenju, pritom vodeći normalan život.

Uređaj će biti uz pacijenta tokom njegovih svakodневnih aktivnosti, kao što su šetnja, trčanje, spavanje i sl. Za obezbjeđenje nezavisnog rada i potpune portabilnosti, očigledno da je uređaj potrebno napajati iz baterijskog izvora. Dakle, glavni uslov svih portabilnih biomedicinskih uređaja je njihova niska potrošnja, kako bi se obezbijedila što veća autonomija u aktivnom režimu rada.

Dizajneri su, uglavnom, ograničeni na uzak izbor integrisanih mikroprocesora/kontrolera, kod kojih je smanjena potrošnja energije, na račun performansi. Neki od najboljih uređaja te vrste su mikrokontroleri iz serije MSP430 Texas Instruments-a. Njihove performanse se, međutim, ne mogu porediti sa DSP uređajima (Digital Signal Processor) [2] korišćenim za obradu signala u sistemima gdje minimalna potrošnja energije nije neophodnost.

FPGA (Field-Programmable Gate Array) su integrisana kola koja po performansama mogu konkurisati DSP-ima. U određenim slučajevima se DSP može čak implementirati na FPGA uređaju kao IP Core. U tom slučaju, prednost na strani FPGA kola je rekonfigurabilnost i mogućnost dorade procesorskog algoritma kako bi se primijenili pozitivni principi za smanjenje potrošnje energije. Procesorski algoritam na FPGA kolu je moguće i napisati prilagođen za konkretni integrisani sistem, bez korištenja IP Core-a, što se najčešće i radi. Primjena principa za smanjenje potrošnje na FPGA uređajima zahtijeva sistematičan pristup. Principe je potrebno primijeniti u svim fazama razvoja sistema. Treba napomenuti da je FPGA po svojoj prirodi visok potrošač energije, što čini ovaj proces posebnim izazovom.

U ovom radu je prikazana metodologija za smanjenje potrošnje FPGA integrisanih kola. Prikazana je i primjena opisanih metoda, kroz studiju slučaja. Na taj način se pokazuje mogućnost korištenja FPGA kola visokih performansi u biomedicinskim uređajima koji zahtijevaju nisku potrošnju i visok stepen autonomije u radu.

II. STRUKTURA FPGA KOLA I UNUTRAŠNJI IZVORI POTROŠNJE

Integrisano kolo FPGA je projektovano tako da se njegova unutrašnja struktura može konfigurisati od strane krajnjeg korisnika [3]. FPGA se upotrebljava u razne svrhe, a jedna od primarnih je implementacija bilo koje logičke funkcije.

FPGA kola posjeduju kompleksnu strukturu koju možemo podijeliti na tri značajnije cjeline:

- 1) veliki broj konfigurabilnih logičkih blokova (CLB), u kojima se implementira logički dio digitalnih kola
- 2) konfigurabilne rute (putevi) pomoću kojih se implementiraju veze između logičkih blokova
- 3) moderni FPGA sadrži i integrisane logičke blokove sa predefinisanim funkcijom, kao što su memorije i aritmetička kola (sabirači, množači itd.).

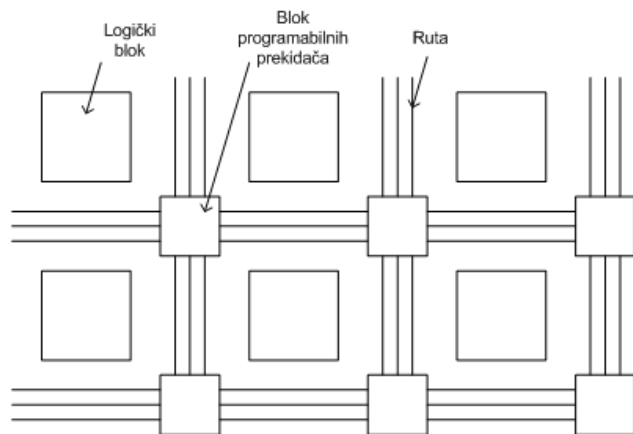
FPGA je veliki potrošač i obično nije pogodan za niskopotrošačke primjene. Međutim, njegove visoke performanse su ponekad potrebne i u niskopotrošačkim projektima. Iz tog razloga se sistemski pristupa ovom problemu, prvenstveno sa stanovišta identifikovanja izvora potrošnje energije, a potom se i preuzima niz koraka za smanjenje potrošnje na prihvatljiv nivo.

Statička disipacija FPGA čipova je veća u odnosu na mikroprocesorska kola [4]. Za razliku od mikroprocesora opšte namjene, svaki dio FPGA integrisanog kola se može zasebno konfigurirati. FPGA posjeduje programabilne prekidače za kontrolu svake rute između logičkih blokova. Za kontrolu tih programabilnih prekidača i logičkih funkcija koristi se velika konfiguraciona memorija, a svaki konfiguracioni bit disipira statičku energiju.

Disipacija energije (statička i dinamička) se povećava sa povećanjem broja tranzistora na čipu. Logički blokovi se implementiraju pomoću look-up tabela. Za razliku od FPGA kola, kod mikroprocesorskih i ASIC kola (Application-Specific Integrated Circuit), logičke funkcije se implementiraju pomoću jednostavnih logičkih kapija. Logički blokovi kod FPGA kola sadrže mnogo više tranzistora nego logičke kapije koje obavljaju istu funkciju kod mikroprocesorskih i ASIC kola. Takođe, rute u FPGA čipovima koriste mnogo više tranzistora nego kod mikroprocesorskih / ASIC kola zato što je potreban veliki broj multipleksora da bi se FPGA ruta napravila fleksibilnom.

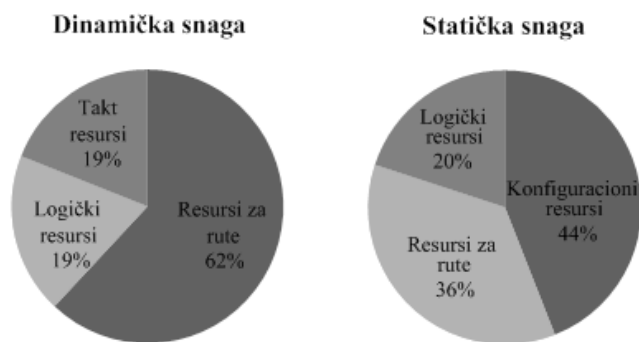
FPGA disipira i više dinamičke energije u odnosu na mikroprocesorska i ASIC kola [4]. Kod svih integrisanih kola, rute posjeduju određenu parazitnu kapacitivnost. Kapacitivnost između dvije tačke na ruti se povećava sa povećanjem udaljenosti između tih tačaka, kao i sa povećanjem broja tranzistora na toj programabilnoj ruti. Broj takvih tranzistora se povećava sa veličinom rute zato što se programabilni prekidači nalaze na jednakim udaljenostima i grade svojevrsnu matricu ruta (Sl. 1). Programabilni prekidač, sa svojom parazitnom kapacitivnošću, predstavlja kondenzator paralelno vezan na rutu. Punjenjem i pražnjenjem kondenzatora na ruti se disipira dinamička energija.

Na graficima (Sl. 2) je predstavljena dinamička i statička disipacija kod 90-nm FPGA čipova, prema studiji [5] koja je obuhvatila Xilinx Spartan-3 integrisana kola. Na resurse za rute



Slika 2. Šema prikazuje strukturu FPGA kola

se odnosi najveća količina disipacije, a zatim slijede logički resursi i resursi za generisanje i propagaciju takta. Prema istoj studiji, 62% od ukupne disipacije se odnosi na dinamičku disipaciju, a 38% na statičku. Nedavna istraživanja [6] su ubrojala i uticaj integrisanih memorija koje su sastavni dio



Slika 1. Disipacija jezgra Xilinx Spartan-3 integrisanih kola

skoro svih modernih FPGA uređaja. Prema tim istraživanjima, integrisane memorije disipiraju 14% dinamičke snage FPGA čipa.

III. TEHNIKE NISKOPOTROŠACKOG DIZAJNA

U CMOS tehnologiji (Complementary Metal–Oxide–Semiconductor), disipacija dinamičke energije je povezana sa punjenjem i pražnjenjem parazitnih kondenzatora na logičkim kapijama i metalnim rutama. Opšta formula koja opisuje strujnu disipaciju kondenzatora je

$$I = V \cdot C \cdot f$$

gdje je I ukupna struja, V napon, C kapacitivnost, f frekvencija.

Iz gore navedenog se da zaključiti sljedeće: ako želimo smanjiti ukupnu struju, potrebno je smanjiti jedan od tri parametra iz jednačine. Napon je obično nepromjenjiv kod integrisanih kola (iako postoje izuzeci). Stoga se ukupna struja može smanjiti podešavanjem preostala dva parametra: kapacitivnost C i frekvencija f. Kapacitivnost C je direktno proporcionalna broju logičkih kapija na putu signala, kao i dužini rute između logičkih kapija. Frekvencija f je frekvencija promjene signala, odnosno njegov takt (clock). Sve tehnike za smanjenje potrošnje energije zapravo ciljaju ka smanjenju jednog od ova dva parametra [7].

U literaturi se navode tri grupe trenutno aktuelnih tehnika za dizajn niskopotrošačkih FPGA sistema: osnovne tehnike, tehnike zasnovane na rekonfigurabilnosti tokom rada sistema i tehnike zasnovane na korišćenju soft procesora [4]. U ovom dijelu je poseban akcenat stavljen na grupu osnovnih tehnika, koja se najčešće i primjenjuje za optimizaciju rada sistema. Osnovne tehnike obuhvataju:

a) *Korišćenje heterogenih integrisanih blokova naspram konfigurabilnih logičkih blokova (CLB - Configurable Logic Block) gdje god postoji ta mogućnost. U heterogene integrisane blokove spadaju blok memorije, mozači, sabirači, logički akumulatori, multipleksori. Ovi blokovi su optimizovani za specifične primjene pa se smatra da je njihova upotreba energetski efikasnija u datim slučajevima [8]. Međutim, treba voditi računa o međusobnoj udaljenosti blokova na čipu jer se pozicija heterogenih logičkih blokova ne može prilagoditi trenutnim potrebama*

projekta, tj. predefinisana je prilikom izrade integrisanog kola.

b) *Pipelining (sistem cijevi) – jednostavan i efikasan način za smanjivanje gličeva, a samim tim i potrošnje energije. Kod pipeline strukture se jedna instrukcija podijeli na više manjih operacija koje se izvršavaju paralelno [9]. Istraživanja [10] su pokazala da pipelining može da smanji potrošnju energije po jednoj operaciji između 40% i 90%, kod množenja cijelih brojeva, implementacije FIR filtara, CORDIC algoritama za računanje trigonometrijskih funkcija itd.*

c) *Optimizacija dužine riječi – ovo je jedan od najboljih načina za usklađivanje potrebne brzine rada, površine koju dizajn zauzima, potrošnje sistema, fleksibilnosti i preciznosti računanja. Ovaj pristup obično povlači za sobom i korišćenje decimalnih brojeva sa nepomičnim zarezom, pa je potrebno proučiti kolika se greška unosi u rezultate proračuna. Istraživanja su pokazala da ova metoda može smanjiti potrošnju energije za čak 87% kod dizajniranja adaptivnih filtara [11].*

d) *Gejtovanje takta – ova tehnika se koristi za smanjivanje dinamičke potrošnje tako što se onemogućuje propagacija takt signala za neaktivne regione [12]. Ovaj metod se često kombinuje sa optimizacijom dužine riječi.*

e) *Dinamičko usklađivanje napona napajanja – koristi se za adaptiranje napona napajanja FPGA čipa pri promjeni temperature. Ovim metodom se može postići smanjenje potrošnje od 4% do 54% [13].*

U modernim softverima za automatizaciju dizajna, korišćenje heterogenih integrisanih blokova je podrazumijevana metoda. Dizajnerova uloga u tom slučaju je da izabere integrisano kolo koje ima dovoljan broj heterogenih blokova da podrži potrebe njegovog projekta.

IV. STUDIJA SLUČAJA

Predložene metode za smanjenje potrošnje FPGA sistema su testirane za potrebe ovog rada. Studija slučaja ima za cilj da primijeni niskopotrošačke metode na jednom medicinskom integrisanom sistemu. U tu svrhu je odabran ulazni stepen Pan-Tompkinsovog algoritma [14] mada se uspješno može primijeniti i kod ostalih primjena digitalnih filtara. Pan-Tompkinsov algoritam služi za detekciju srčanih impulsa (QRS kompleksa) u Elektrokardiogramskom – EKG signalu. Uloga njegovog ulaznog stepena je pred-obrada i kondicioniranje signala. Ulazni stepen se sastoji od tri filtra: niskopropusnog, visokopropusnog i filtra derivacije. Filtri su podešeni za obradu niskofrekventnog medicinskog signala – Elektrokardiograma, čiji je frekvencijski opseg od 0.5 do 100 Hz. Kako bi bila zadovoljena Teorija o odabiranju [15], frekvencija odabiranja ulaznog signala je 200 Hz.

Sva tri filtra su FIR filtri, jedanaestog reda, i dobiveni su metodom jednakog talasanja (equiripple). Za generisanje filtara je korišten Matlabov alat „Filter Design and Analysis Tool“. Specifikacije filtara (centralna frekvencija i pojačanje u propusnom opsegu) su implementirani prema preporukama navedenim u Pan-Tompkinsovom algoritmu [14]. Prenosna

funkcija niskopropusnog filtra 11-og reda se može napisati na sljedeći način:

$$H_{\lambda}(\zeta) = \sum_{v=0}^M \alpha_v \zeta^{-v}$$

gdje je $\alpha_v = [-0.00233, 0.01267, -0.04227, 0.11155, -0.27571, 1, 1, -0.27571, 0.11155, -0.04227, 0.01267, -0.00233]$, dok je M red filtra. Prenosna funkcija visokopropusnog filtra 11-og reda se može napisati na sljedeći način:

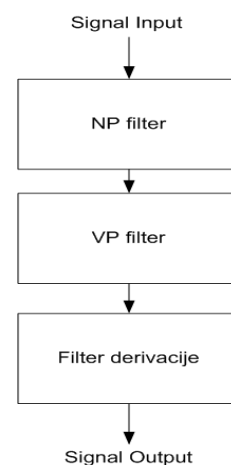
$$H_{\beta}(\zeta) = \sum_{v=0}^M \beta_v \zeta^{-v}$$

gdje je $\beta_v = [-0.26254, -0.10424, -0.13717, -0.19577, -0.33071, -1, 1, 0.33071, 0.19577, 0.13717, 0.10424, 0.26254]$, dok je M red filtra. Prenosna funkcija filtra derivacije 11-og reda se može napisati na sljedeći način:

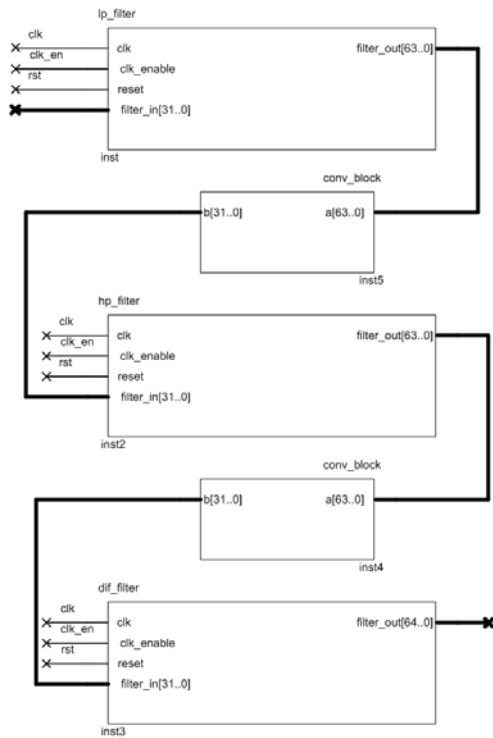
$$H_{\chi}(\zeta) = \sum_{v=0}^M \chi_v \zeta^{-v}$$

gdje je $\chi_v = [0.00217, -0.02382, 0.11908, -0.35719, 0.71432, -1, 1, -0.71432, 0.35719, -0.11908, 0.02382, -0.00217]$, dok je M red filtra.

Blok šema studije slučaja je data na Sl. 3, dok Sl. 4 prikazuje FPGA šemu sistema na nivou komponenti, *.bdf file. Studija slučaja je rađena pomoću programskog paketa Quartus II. Testiranje je izvršeno na razvojnoj proči DE2-70, sa integrisanim kolom EP4CE115F29C7 (kapacitet kola je 114480 logičkih elemenata i 529 pinova) [16].



Slika 3. Blok šema studije slučaja



Slika 4. Quartus šema sistema sa Sl. 3 (na nivou komponenti)

V. REZULTATI TESTIRANJA

Studija slučaja je podijeljena na četiri scenarija i svaki je testiran na pet frekvencijskih opsega glavnog takta (50 MHz, 25 MHz, 1 MHz, 1 KHz i 100 Hz). Najveće smanjenje potrošnje je ustanovljeno kod frekvencije od 50 MHz. U nastavku će biti upoređivani rezultati testiranja na toj frekvenciji, dok će se ukupni rezultati naći na kraju poglavlja. Scenariji su upoređivani uz pomoć alata za analizu potrošnje energije u programskom paketu Quartus II. Alat vrši proračun termalne disipacije snage i to: statičke, dinamičke, disipacije na I/O portovima i ukupne termalne disipacije.

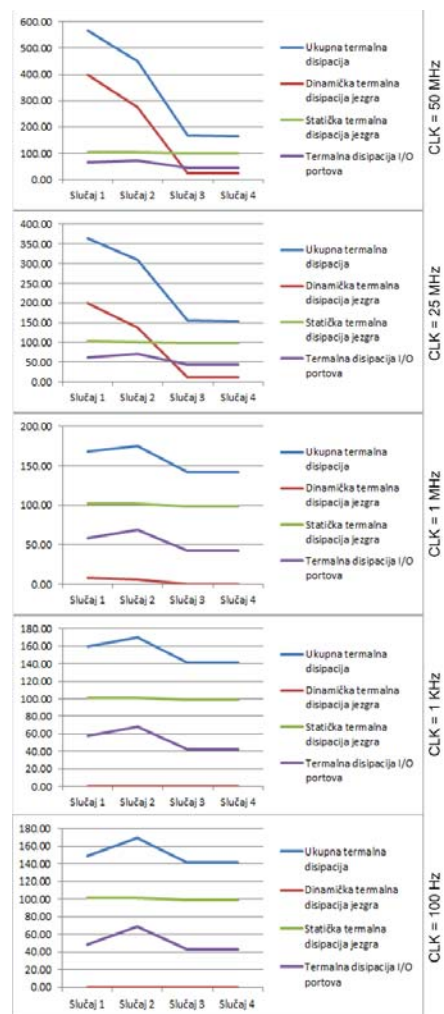
Prvi scenario, prema potrošnji energije, je najnepovoljniji. Tokom prvog scenarija nije primijenjen nijedan pozitivni princip za smanjenje potrošnje, već se vodilo računa o performansama i tačnosti proračuna. Kao značajan parametar se izdvaja standardna dužina riječi od 32 bita. Ukupna termalna disipacija u ovom scenariju, na frekvenciji od 50 MHz, iznosi 566.88 mW. Ovaj scenario zahtijeva 47015 logičkih elemenata i 100 pinova.

Drugi scenario uvodi metodu pipelining-a, koja komplikovane instrukcije dijeli na više manjih operacija. Dužina riječi ostaje 32 bita. Ukupna termalna disipacija u ovom scenariju, na frekvenciji od 50 MHz, iznosi 449.69 mW (disipacija umanjena za 21%). Ovaj scenario zahtijeva 47337 logičkih elemenata i 100 pinova.

Treći scenario, pored korištenja pipelining-a, smanjuje dužinu riječi na 10 bita. Ukupna termalna disipacija u ovom scenariju, na frekvenciji od 50 MHz, iznosi 168.35 mW (disipacija smanjena za dodatnih 63%). Ovaj scenario zahtijeva 4057 logičkih elemenata i 34 pina.

Četvrti scenario poboljšava organizaciju logičkih blokova na čipu, u smislu udaljenosti resursa od rute glavnog takta i I/O portova. Reorganizacija logičkih blokova se vrši po predefinisanim scenarijima u Quartus II softverskom paketu – „extra fitter effort“ [17]. Ukupna termalna disipacija u ovom scenariju, na frekvenciji od 50 MHz, iznosi 166.71 mW (disipacija smanjena za dodatnih 1%). Ovaj scenario zahtijeva 4057 logičkih elemenata i 34 pina.

Upoređujući prvi i četvrti scenario, vidi se da je disipacija termalne snage smanjena za 61%, dok je zauzetost logičkih elemenata smanjena za oko 11 puta, a zauzetost pinova za oko 3 puta. U nastavku su dati grafički prikazi rezultata cijele studije slučaja (Sl. 5). Grafici su podijeljeni po frekvenciji glavnog takta. Svaki od grafika sadrži podatke o termalnoj disipaciji statičke snage, dinamičke snage, disipaciji na I/O portovima i ukupnoj termalnoj disipaciji snage. Treba primijetiti da se na nižim frekvencijskim opsezima ne može postići veliki napredak korištenjem metoda za smanjenje potrošnje FPGA kola. Međutim, tako niske frekvencije se najčešće i ne mogu iskoristiti u realnim projektima.



Slika 5. Prikaz količine termalne disipacije, za četiri testna slučaja i pet frekvencija glavnog takta. Na y-osi su vrijednosti snage u mW.

VI. ZAKLJUČAK I BUDUĆI RAD

U ovom radu je opisan problem niskopotrošačkog dizajna zasnovanog na FPGA kolima, za potrebe medicinskih integrisanih sistema. Demonstrirana je studija slučaja u kojoj su iskorišteni najefektivniji načini smanjenja potrošnje: korišćenje heterogenih logičkih blokova, pipelining, optimizacija dužine riječi i reorganizacija logičkih blokova na čipu. Studija slučaja je pokazala da se primjenom ovih metoda može postići smanjenje potrošnje do 61% i smanjenje zauzetosti čipa do 91%. Izložene tehnike se mogu primijeniti i u ostalim aplikacijama.

LITERATURA

- [1] Salditt P. and Bothell W. A, "Trends in medical device design and manufacturing." SMTA News And Journal Of Surface Mount Technology 17 (2004): 19-24.
- [2] RAS, Remote Access Servers. "Complementary Products for the TMS320™ DSP Family." DSP Selection Guide (2004).
- [3] Wiśniewski R., "Synthesis of compositional microprogram control units for programmable devices", University of Zielona Góra, 2009.
- [4] Lamoureux J. and Luk W., "An overview of low-power techniques for field-programmable gate arrays." Adaptive Hardware and Systems, 2008. AHS'08. NASA/ESA Conference on. IEEE, 2008.
- [5] Tuan T., Rahman A., Das S., Trimmer S., Kao S., "A 90-nm low-power FPGA for battery-powered applications," IEEE Trans. on Computer-Aided Design, vol. 26, no. 2, pp. 296-300, Feb. 2007.
- [6] Tessier R., Betz V., Neto D., Egier A., Gopalsamy T., "Power-Efficient RAM mapping algorithms for FPGA embedded memory blocks," IEEE Trans. of Computer- Aided Design, vol. 26, no. 2, pp. 278-289, Feb 2007.
- [7] Kilts S. "Advanced fpga design: architecture, implementation, and optimization", Wiley-IEEE press, 2007.
- [8] Kuon I. and Rose J., "Measuring the gap between FPGAs and ASICs," IEEE Trans. on Computer-Aided Design, vol. 26, no. 2, pp. 203-215, Feb. 2007.
- [9] Nagabushanam M., Prasanna C., Raj P., Ramachandran S., "Design and Implementation of Parallel and Pipelined Distributive Arithmetic Based Discrete Wavelet Transform IP Core", European Journal of Scientific Research ISSN 1450-216X Vol.35 No.3 (2009), pp.378-392, EuroJournals Publishing, Inc. 2009.

- [10] Wilton S.J.E., Ang S-S. and Luk W., "The impact of pipelining on energy per operation in field programmable gate arrays". In Proc. Field Prog. Logic and Applications, LNCS 3203, pp. 719-728, 2004.
- [11] Constantinides G., "Word-length optimization for differentiable nonlinear systems," ACM Trans. on Design Automation of Electronic Sys., vol. 11, no. 1, pp. 26-43, 2006.
- [12] Zhang Y., Roivainen J., and Mammela A., "Clock-gating in FPGAs: A novel and comparative evaluation." Digital System Design: Architectures, Methods and Tools, 2006. DSD 2006. 9th EUROMICRO Conference on. IEEE, 2006.
- [13] Chow C.T. et al, "Dynamic voltage scaling for commercial FPGAs," Proc. IEEE Int. Conf. on Field Prog. Technology, 2005.
- [14] Pan J. and Tompkins W. J., "A real-time QRS detection algorithm." Biomedical Engineering, IEEE Transactions on 3 (1985): 230-236.
- [15] Shannon, C. E., "Communication in the presence of noise." Proceedings of the IRE 37.1 (1949): 10-21.
- [16] "Quartus II Handbook version 12.1 – 1. Design and Synthesis", Altera, November 2012.
- [17] "Quartus II Handbook version 12.1 – 13. Area and Timing Optimization", 13-6, Altera, November 2012.

ABSTRACT

Low power embedded systems are used for purposes of medical measurements. Large number of these devices are based on FPGA technology. Therefore, it is necessary to optimize the consumption in automated process of FPGA design. In this paper case study is demonstrated, which is based on use of heterogeneous logic blocks, pipelining, word length optimization and reorganization of logical blocks on the chip. Applying the presented techniques, power consumption reduction of 61% is achieved, while reducing the chip occupancy by 91%.

AN EXAMPLE OF LOW POWER DESIGN IN FPGA TECHNOLOGY FOR THE PURPOSE OF MEDICAL MEASUREMENTS

Jovan Kovačević, Radovan Stojanović, Zlatko Bundalo