

# Energetski efikasna CMOS digitalna logika

Branko L. Dokić  
 Univerzitet u Banjoj Luci  
 Elektrotehnički fakultet  
 Banja Luka  
**Rad po pozivu**

*Sadržaj*—Autonomija napajanja prenosnih uređaja u direktnoj je zavisnosti od energetske efikasnosti digitalne logike. To podrazumijeva da digitalni sistem mora uz veliku procesnu brzinu i veoma kompleksnu funkcionalnost imati veoma malu potrošnju električne energije. Potrošnja električne energije zavisi od: arhitekture sistema, tehnologije, topologije osnovnih ćelija i njihove brzine te od tačnosti postavljenih zadataka. CMOS tehnologija će još dugo da bude najbolji izbor. Dio ovog rada posvećen je pretpragovskom režimu rada CMOS digitalnih kola i poređenju sa odgovarajućim kolima u režimu jake inverzije. Pokazano je da postoji potpuna analogija ponašanja digitalnih kola u ovim režimima. Zahvaljujući tome, postupci sinteze potpuno su isti i za režim jake i za režim slabe inverzije. Analiziran je uticaj tehnologije, napona praga  $V_t$  MOS tranzistora i napona napajanja  $V_{dd}$  na potrošnju električne energije i na brzinu rada kola u oba režima. Pokazano je da optimalna potrošnja (minimalna potrošnja pri zadatoj brzini obrade podataka) zavisi od optimalnog izbora napona praga i napona napajanja. Analizirane su multi  $V_{dd}/V_t$  tehnike. Takođe su analizirane alternativne topologije logičkih kola: prenosna logika (PL), komplementarna prenosna logika (CPL), puš-pul prenosna logika (PPL) i adijabatik logika. Adijabatik logika, energetski je najefikasnija.

*Ključne riječi*—Topologija, tehnologija, potrošnja, logičko kašnjenje, CMOS, jaka i slaba inverzija, statička, dinamička, prenosna logika, adijabatik logika, PL, CPL, PPL, ECRL

## I. UVOD

Projektantima digitalnih kola postavljana su, a i danas se postavljaju dva, najčešće oprečna zahtjeva: kako postići što veću brzinu rada i što manju potrošnju energije. Najčešće jedna familija nije mogla zadovoljiti oba zahtjeva. Kola velike brzine imaju veliku potrošnju i obrnuto, mala potrošnja značila je i veliko logičko kašnjenje (mala brzina). Tako su i nastajale serije integriranih kola pod nazivom kola male potrošnje ili kola velike brzine. Optimalno projektovan digitalni sistem podrazumijevao je izbor različitih serija u okviru iste familije integriranih kola.

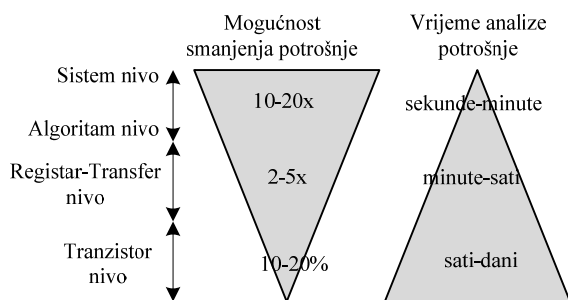
Danas, kada se cijeli digitalni sistem proizvodi kao jedno integrirano kolo, problem projektovanja svodi se na izbor projekta koji će obezbjediti maksimalnu energetska efikasnost. To podrazumijeva projekat sa minimalnom potrošnjom u predviđenom frekventnom opsegu ili maksimalnom brzinom pri zadatoj potrošnji energije. U posljednje vrijeme, sve je veća primjena sistema napajanja iz malih izvora dobivenih prikupljanjem primarne energije iz okoline. Tada se umijeće projekta sa malom potrošnjom svodi na izbor optimalnih

(inteligentnih) rješenja koja će redukovati brzinu obrade informacija što je moguće više, a da to ne naruši karakteristike sistema. Takav optimalan projekat podrazumijeva dekompoziciju arhitekture sistema, dobar izbor topologije kola koja će obezbjediti optimalnu sintezu različitih funkcija u definisanoj arhitekturi i dobar izbor tehnologije za izradu kola. Ovo zahtijeva od projektanta da veoma dobro poznaje komponente, kola i sisteme. Potrošnja svakog sistema je određena sa sledećih pet odrednica svakog projekta: postavljenim zadatkom, tehnologijom, topologijom kola za rješenje različitih funkcija, brzinom rada i tačnošću. Budući da se ovih pet odrednica mogu smjestiti na prste jedne ruke, poznate su kao “ruka male potrošnje” (sl. 1) [1].



Slika 1. “Ruka male potrošnje” [1]

Prema tome, optimizacija potrošnje je višedimenzionalan problem i podrazumijeva vođenje računa o potrošnji u svakoj fazi projektovanja digitalnog sistema VLSI integrisanog kola. Najveća ušteda potrošnje električne energije (10 do 20 puta), uz najmanji gubitak vremena (nivo minuta) ostvaruje se u početnim fazama projektovanja (sl. 2) u kojima se projekat predstavlja skupom apstraktnih komunikacionih zadataka. Do projekta optimalne potrošnje dolazi se primjenom tehnika optimizacije i procjene potrošnje u svakoj fazi projekta [4]. Na nižim nivoima projektovanja (tranzistorski, razmještanje i povezivanje) moguća ušteda električne energije je znatno manja (10 do 20%), a vrijeme procjene može da traje danima, jer je projekat predstavljen sa svim detaljima, pa je potrebno obraditi veoma veliku količinu podataka [4].



Slika 2. Ušteda potrošnje električne energije i vrijeme procjene potrošnje na različitim nivoima projektovanja [3]

CMOS tehnologija integrisanih kola na silicijumu biće i u narednih dvadesetak godina dominantna [2, 27, 28]. Uz standardno malu potrošnju, smanjivanje dimenzija tranzistora do tehnologija od desetak *nm*, omogućuje brzine rada u domenu *GHz*. U poslednjih desetak godina sve veća pažnja, kako istraživača, tako i proizvođača integrisanih kola, posvećena je digitalnim CMOS kolima u prepragovskom režimu rada (režim slabe inverzije). Napon napajanja u ovom režimu manji je od napona praga  $V_t$  MOS tranzistora ( $V_{DD} < V_t$ ) i iznosi nekoliko stotina milivolti. Zahvaljujući tome znatno je smanjena dinamička potrošnja u odnosu na CMOS kola u režimu jake inverzije. Budući da je radna oblast prepragovskog režima u području karakteristika isključenih tranzistora u režimu jake inverzije, znatno je smanjen odnos struje u uključenom  $I_{on}$  i isključenom stanju  $I_{off}$ . Zbog toga je logičko kašnjenje CMOS kola u prepragovskom režimu za nekoliko redova veličine veće.

Pred projektantima CMOS digitalnih uređaja, pogotovo prenosnih, je izazovan zahtjev: kako obezbjediti veliku procesnu moć i veoma kompleksnu funkcionalnost uz istovremeno malu potrošnju električne energije. Dio rješenja svakako je u izboru CMOS tehnologije i radnih režima jake i slabe inverzije.

Iako su statičke karakteristike MOS tranzistora u režimima jake i slabe inverzije funkcionalno veoma različite, biće pokazano da postoje potpune analogije u ponašanju i funkcionalnoj zavisnosti parametara CMOS kola u tim režimima. Zahvaljujući baš tome, tehnike projektovanja složenijih CMOS kola u prepragovskom režimu srećom su iste kao onih u režimu jake inverzije. Ova činjenica znatno olakšava posao projektanata i ujedino omogućuje bržu primjenu CMOS kola u prepragovskom režimu.

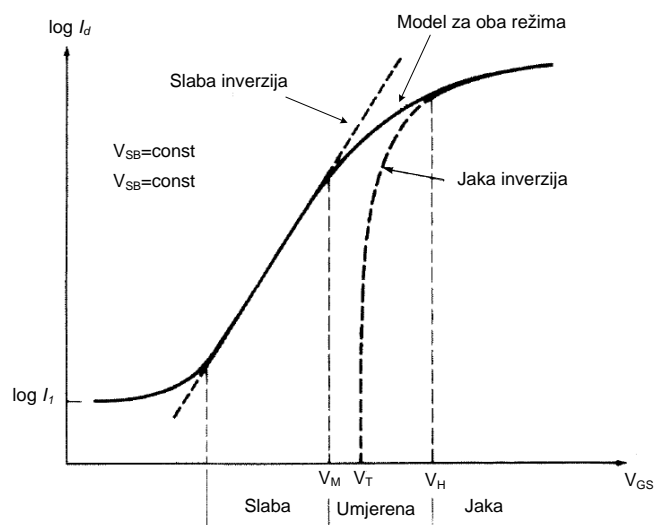
Optimalna potrošnja po pravilu ne podrazumijeva minimalnu potrošnju. Naime, minimalna potrošnja i minimalno logičko kašnjenje međusobno su oprečni zahtjevi. Vodeći računa samo o minimizaciji potrošnje mogli bi smo da dobijemo projekat sa neprihvatljivim kašnjenjem. I potrošnja i logičko kašnjenje CMOS kola zavise od napona praga MOS tranzistora  $V_t$  i napona napajanja  $V_{DD}$ . Zbog toga je jedan dio ovog rada posvećen optimizacionim tehnikama potrošnje u sistemima sa više vrijednosti (nivoa)  $V_t$  i  $V_{DD}$ .

Poseban dio ovog rada odnosi se na veliki prst „ruke male potrošnje“ – topologije. Dat je pregled topologija CMOS logičkih serija koje obezbjeđuju malu potrošnju u zadatim

frekventnim opsezima, što podrazumijeva njihovu primjenu u oba režima – jake i slabe inverzije.

## II. CMOS U REŽIMU SLABE INVERZIJE

U suštini postoje tri oblasti statičkih karakteristika MOS tranzistora [5]. Na sl. 3 prikazana je logaritamska zavisnost struje drejna nMOS tranzistora u funkciji napona gejt-sors ( $V_{gs}$ ) pri konstantnim naponima drejns-sors ( $V_{ds}$ ) i sors-podloga ( $V_{sb}$ ). U literaturi je najmanja pažnja posvećena srednjoj (umjerenoj) oblasti i većinom se smatra sastavnim dijelom početka oblasti jake inverzije [6, 7]. U digitalnim kolima se uzima da je za  $V_{gs} > V_t$ , gdje je  $V_t$  napon praga MOS tranzistora, tranzistor u režimu jake inverzije, a za  $V_{gs} < V_t$  u prepragovskom režimu (slaba inverzija). Dakle, sa tačke gledišta današnje primjene, može se reći da je  $V_t$  napon gejt-sors na granici režima jake i slabe inverzije.



Slika 3. Karakteristika  $\log I_d$  u funkciji od  $V_{gs}$  pri konstantnim  $V_{ds}$  i  $V_{sb}$

Dobro je poznato da karakteristike  $I_d(V_{ds}, V_{gs})$  u režimu jake inverzije imaju dvije oblasti: nezasićenu i zasićenu. U nezasićenoj oblasti  $I_d \sim V_{gs}$  i  $I_d \sim V_{ds}^2$ , dok je u zasićenoj oblasti  $I_d \sim V_{gs}^2$  i  $I_d \neq f(V_{ds})$ , tj.  $I_d \sim \text{const}$  u funkciji napona  $V_{ds}$ .

Karakteristike MOS tranzistora u režimu slabe inverzije određene su sa:

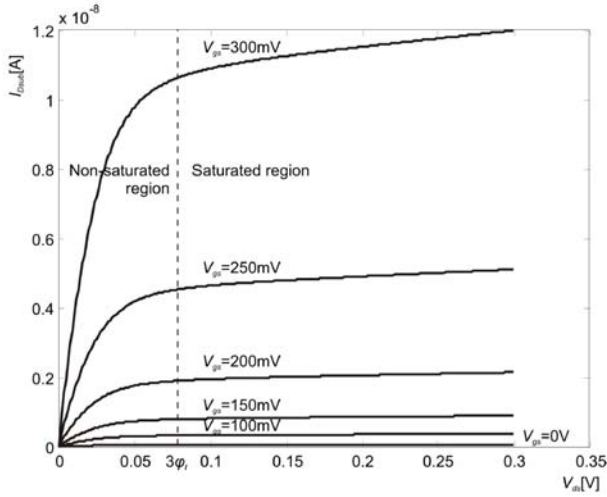
$$I_{Dsub} = \begin{cases} I_0 e^{\frac{V_{gs}-V_t}{n\phi_t}} (1 - e^{-V_{ds}/\phi_t}), & V_{ds} < 3\phi_t, \text{ nezasićena oblast} \\ I_0 e^{\frac{V_{gs}-V_t}{n\phi_t}}, & V_{ds} > 3\phi_t, \text{ zasićena oblast} \end{cases} \quad (1)$$

gdje je

$$I_0 = \mu_0 C_{ox} \frac{W}{L} (n-1) \phi_t^2 \quad (2)$$

struja drejna na granici režima jake i slabe inverzije. Značenja parametara u jednačinama (1) i (2) su sljedeća:  $\mu_0$  je pokretljivost glavnih nosilaca naelektrisanja (elektrona u nMOS i šupljina u pMOS tranzistoru),  $C_{ox} = \epsilon_{ox} / t_{ox}$  je kapacitivnost gejta ( $\epsilon_{ox}$  je dielektrična konstanta, a  $t_{ox}$  debljina

oksida gejtja),  $W$  i  $L$  su, redom, širina i dužina kanala,  $\phi_t = kT/q$  je termički potencijal ( $\phi_t = 26$  mV pri  $T = 300$ K),  $n = 1 + C_d / C_{ox} \approx 1.5$  je faktor strmine. Za  $V_{ds} > 3\phi_t$ , struja drejna skoro ne zavisi od napona  $V_{ds}$  (sl. 4) tako da tu oblast, analogno režimu jake inverzije, možemo tretirati kao zasićenu oblast. U ovoj oblasti je  $I_d \sim e^{V_{gs}}$ . Za  $V_{ds} < 3\phi_t$ , pri  $V_{gs} = const.$ ,  $I_d \sim e^{V_{ds}}$ , tranzistor je u nezasićenoj oblasti.



Slika 4.  $I_d(V_{gs}, V_{ds})$  karakteristike u režimu slabe inverzije

Zahvaljujući analogiji oblasti karakteristika MOS tranzistora, postoji odgovarajuća analogija rada i karakteristika CMOS logičkih kola [6]. Tako, na primjer, naponska i strujna statička karakteristika u režimu slabe (sl. 5) imaju isti oblik kao i u režimu jake inverzije. I napon praga  $V_{Tsub}$  invertora se dobija na isti način – izjednačavanjem struja drejna nMOS i pMOS tranzistora u zasićenoj oblasti karakteristika. Iz toga proizlazi da je napon praga  $V_{Tsub}$  invertora u prepragovskom režimu [6]:

$$V_{Tsub} = \frac{V_{ddsub}}{2} - \frac{n\phi_t}{2} \ln \left( \frac{I_{on}}{I_{op}} \right), \quad (3)$$

a maksimalna struja iz izvora napajanja:

$$I_{ddMsub} = I_{on} \sqrt{\frac{I_{op}}{I_{on}} e^{\frac{V_{ddsub}/2 - V_t}{n\phi_t}}}, \quad (4)$$

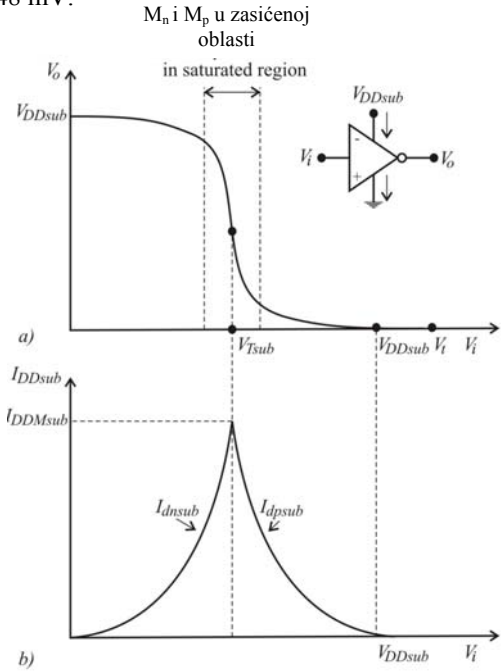
gdje je

$$3\phi_t < V_{ddsub} < V_t = V_{tn} = |V_{tp}| \quad (5)$$

napon napajanja,  $V_{tn}$  i  $V_{tp}$  su naponi praga, a  $I_{on}$  i  $I_{op}$  struje na granici slabe i jake inverzije nMOS i pMOS tranzistora, redom. Za simetričan invertor ( $I_{on} = I_{op}$ ) napon praga je, kao i u režimu jake inverzije,  $V_{Tsub} = V_{ddsub}/2$ .

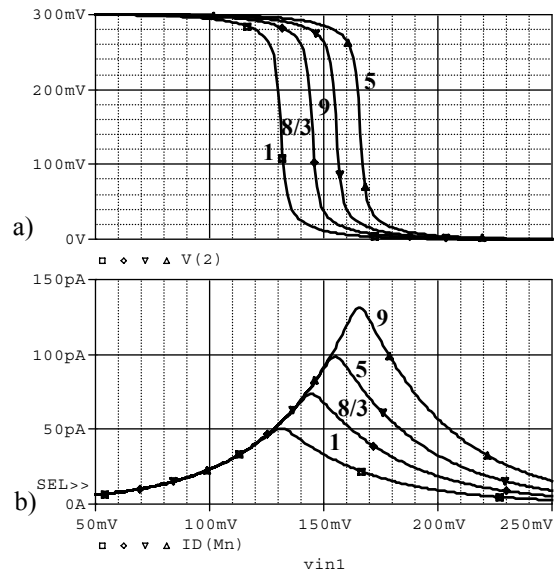
Minimalni napon napajanja, prema (5) je  $V_{ddmin} = 3\phi_t = 78$  mV. Za  $V_{dd} > 3\phi_t$  karakteristike  $I_d(V_{gs}, V_{ds})$  posjeduju i zasićenu i nezasićenu oblast što je neophodno za zadovoljavajući kvalitet prenosne karakteristike  $V_o(V_i)$  logičkih kola. Logička kola, međutim mogu da rade i pri  $V_{dd} < 3\phi_t$ . Tako,

na primjer, autori [7] navode ograničenja  $V_{dd} > 57$  mV, a autori [8]  $V_{dd} > 48$  mV.



Slika 5. Naponska (a) i strujna prenosna karakteristika (b) invertora u prepragovskom režimu

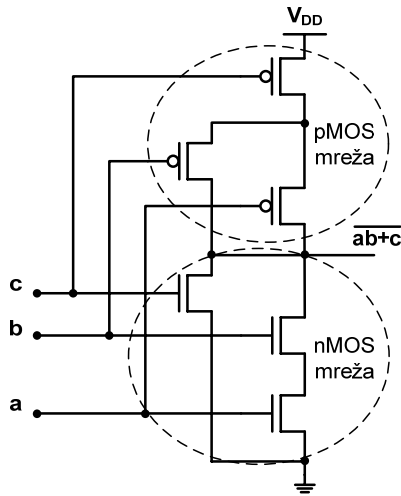
Kao i u režimu jake inverzije, napon praga  $V_{Tsub}$  i maksimalna struja  $I_{ddMsub}$  u prepragovskom režimu zavise od odnosa geometrija nMOS i pMOS tranzistora (sl. 6), s tim što je  $V_{Tsub} \sim \ln(W_n/W_p)$ , a  $I_{ddMsub} \propto \sqrt{W_n \cdot W_p}$ , gdje su  $W_n$  i  $W_p$  širine kanala nMOS i pMOS tranzistora, redom.



Slika 6. Naponska (a) i strujna prenosna karakteristika (b) CMOS invertora u prepragovskom režimu za odnose širina kanala  $W_p/W_n = \{1, 8/3, 5, 9\}$  pri jednakim dužinama kanala ( $L_n = L_p$ )

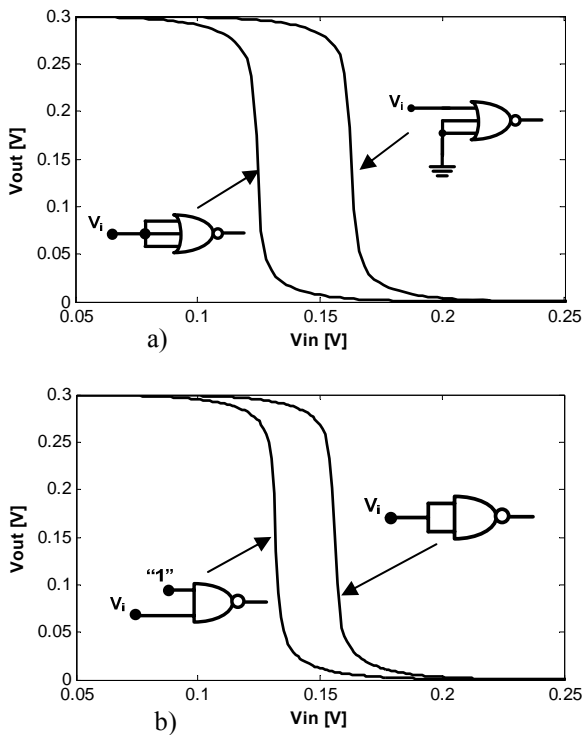
S obzirom na analogije ponašanja i karakteristike CMOS invertora u režimima slabe i jake inverzije, postoji analogija i

pri sintezi složenijih kola. U oba režima, složenija logička kola sastoje se od dualnih nMOS i pMOS tranzistorskih mreža (sl. 7). Dualnost podrazumijeva da serijskoj vezi nMOS odgovara paralelna veza pMOS tranzistora i obrnuto.



Slika 7. Topologija kola sa logičkom funkcijom  $ab+c$  koja se sastoji od dualnih mreža:  $ab+c$  (nMOS) i  $(a+b)c$  (pMOS)

U oba režima, prenosne karakteristike logičkih kola zavise od broja ulaza i broja aktivnih ulaza [6]. Na sl. 8 prikazane su prenosne karakteristike NILI3 logičkog kola kada su svi ulazi



Slika 8. Prenosne karakteristike NILI3 (a) i NILI2 (b) kola u režimu slabe inverzije kada su aktivni svi ulazi i kada je aktivan samo onaj ulaz primjenjen na gejt rednog tranzistora sa sorsom na liniji napajanja

aktivni i kada je aktivan samo onaj ulaz koji je primjenjen na gejt pMOS tranzistora čiji je sors direktno spojen na  $V_{dd}$ . Kod NI kola napon praga je najveći kada su svi ulazi aktivni, a najmanji kada je aktivan samo onaj ulaz koji je primjenjen na gejt nMOS tranzistora čiji je sors na masi. Optimalna geometrija tranzistora m-ulaznih NI i NILI kola je ista u oba režima i određena je sa [11]:

$$NI_{Im}: \frac{W_n / L_n}{W_p / L_p} = m \frac{\mu_p}{\mu_n} \quad (6)$$

$$NILI_{Im}: \frac{W_n / L_n}{W_p / L_p} = \frac{1}{m} \frac{\mu_p}{\mu_n}$$

### III. POTROŠNJA CMOS KOLA

Potrošnja električne energije sastoji se od dvije komponente: statičke i dinamičke

$$P_D = P_{DS} + P_{DD} \quad (7)$$

Statička potrošnja je posljedica postojanja struja MOS tranzistora u statičkim stanjima i određena je sa:

$$P_{DS} = I_S V_{dd}, \quad (8)$$

gdje je  $I_S$  ukupna statička struja.

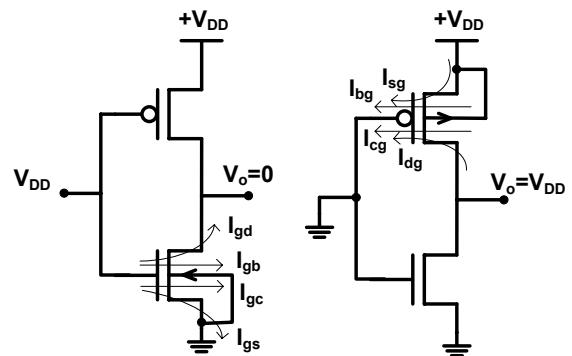
Postoje četiri glavna izvora statičke struje u CMOS kolima:

- struja tunelovanja kroz gejt ( $I_g$ ),
- pretpragovska struja drejna ( $I_{dsub}$ ),
- struja inverzno polarisanih p-n spojeva ( $I_{DSS}$ ),
- struja gejta zbog injekcije vrućih nosilaca naelektrisanja ( $I_H$ ).

Prve tri komponente imaju dominantan uticaj na statičku potrošnju CMOS kola.

Skaliranjem dimenzija MOS tranzistora smanjuje se i debljina oksida ispod gejta ( $t_{ox}$ ). Zbog toga se povećava električno polje kroz oksid gejta što dovodi do tunelovanja nosilaca naelektrisanja iz gejta u podlogu ili iz podloge u gejt. Struja gejta ima četiri komponente: gejt-kanal ( $I_{gc}$ ), gejt-drejn ( $I_{gd}$ ), gejt-sors ( $I_{gs}$ ) i gejt-osnova ( $I_{gb}$ ) (sl. 9). Ukupna struja gejta je:

$$I_g = I_{gd} + I_{gb} + I_{gs} + I_{gc}. \quad (9)$$



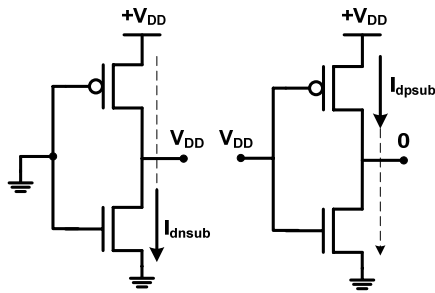
Slika 9. Struje curenja gejta nMOS (a) i pMOS tranzistora (b)

Struje gejta zavise od napona napajanja  $V_{dd}$  i tehnologije (tab. I) [10]. Tako, na primjer, povećanjem napona napajanja sa  $V_{dd}=0.2$  V na  $V_{dd}=1.2$  V, struja gejta poveća se sa  $I_g \approx 1.2$  nA na  $I_g \approx 1.7$   $\mu$ A. Povećanje iznosi približno  $1.4 \cdot 10^3$  puta. Smanjenjem dimenzija tranzistora struja gejta se takođe povećava. Za nMOS tranzistor, prema tab. 1, to povećanje za 45 nm u odnosu na 65 nm CMOS tehnologiju, u zavisnosti od  $V_{dd}$ , iznosi približno 7 (pri  $V_{dd}=1.2$  V) do 14 (pri  $V_{dd}=0.2$  V) puta.

TABELA I. STRUJE GEJTA NMOS TRANZISTORA U FUNKCIJI NAPONA NAPAJANJA ZA DVIJE RAZLIČITE TEHNOLOGIJE [10]

$V_{dd}$ [V]	$I_g$	
	Za 45 nm teh.	Za 65 nm teh.
0.2	1.1996 nA	85.506 pA
0.4	14.258 nA	1.2376 pA
0.6	66.954 nA	6.5488 nA
0.8	225.97 nA	25.244 nA
1.0	647.38 nA	82.378 nA
1.2	1.6811 $\mu$ A	243.21 nA

Struja curenja gejta nMOS tranzistora je veća nego pMOS zato što je vjerovatnoća tunelovanja šupljina veća od vjerovatnoće tunelovanja elektrona kroz oksid gejta. To povećanje, u zavisnosti od napona napajanja iznosi 40 puta [10].



Slika 10. Pretpragovske struje nMOS (a) i pMOS (b) tranzistora CMOS invertora

Pretpragovska struja drejna postoji u oblasti u kojoj je  $V_{gs} < V_t$  (1) i najveća je kada je  $V_{gs}=0$  i kada je napon drejn-sors isključenog tranzistora maksimalan (sl. 10). Tada je, na osnovu (1):

$$I_{ddsub} = I_0 e^{-\frac{V_t}{n\phi_t}} \quad (10)$$

Vrijednosti ove struje zavise od napona napajanja, veličine elemenata (tehnologije) i temperature. U tab. II date su uporedne vrijednosti struje gejta i pretpragovske struje drejna u funkciji napona napajanja  $V_{dd}$  i temperature za 45 nm tehnologiju. Iz tabele je uočljivo da je izraženija zavisnost  $I_g$  od  $V_{dd}$ , a da je u funkciji temperature znatno izraženija zavisnost  $I_{dsub}$ . S druge strane, na temperaturi 25°C za  $V_{dd} \leq 0.6$  V,  $I_g < I_{dsub}$ , dok je za  $V_{dd} > 0.6$  V  $I_g > I_{dsub}$ . Tako, na primjer, za  $V_{dd}=1.2$  V,  $I_g \approx 13 I_{dsub}$ .

TABELA II. STRUJE GEJTA I PRETPRAGOVSKA STRUJA DREJNA NMOS TRANZISTORA U FUNKCIJI  $V_{DD}$  I TEMPERATURE [10]

$V_{dd}$ [V]	Struja gejta $I_g$ [nA]		Pretpragovska struja $I_{dsub}$ [ $\mu$ A]	
	25°C	110°C	25°C	110°C
0.2	1.1996	1.2689	40.999	0.88086
0.4	14.258	15.776	56.437	1.1586
0.6	66.954	75.437	72.47	1.4401
0.8	225.97	256.33	89.397	1.7334
1.0	647.38	736.31	107.42	2.0428
1.2	1681.1	1914.3	127.12	2.3785

Inverzna struja zasićenja  $I_{dss}$  p-n spoja isključenog tranzistora zavisi od površine p-n spoja i temperature. Po jedinici površine iznosi između 10 i 100 pA/ $\mu$ m<sup>2</sup> na temperaturi 25°C za 0.25  $\mu$ m tehnologiju. U nanometarskim tehnologijama ova struja je mnogo manja od  $I_g$  i  $I_{dsub}$ , pa se može zanemariti.

Dinamička potrošnja sastoji se od dvije komponente: prekidačke potrošnje i potrošnje prelaza. Prekidačka potrošnja je posljedica punjenja i pražnjenja opteretnog kondenzatora i u oba režima određena je sa:

$$P_{dd} = P_{ddsub} = C_L V_{dd}^2 f, \quad (11)$$

gdje su:  $C_L$  efektivna izlazna parazitna kapacitivnost,  $f$  je frekvencija promjene stanja CMOS logičkog kola.

Potrošnja prelaza nastaje zbog vođenja oba tranzistora ili tranzistorske mreže (nMOS ili pMOS) u toku promjene stanja (prelazna oblast) (sl. 5). U režimu jake inverzije potrošnja prelaza određena je sa [11]:

$$P_{dp} = \frac{1}{3} I_{ddM} (V_{DD} - 2V_t) (t_r + t_f) f, \quad (12)$$

gdje je

$$I_{ddM} = \mu_n \frac{C_{ox}}{2} \frac{W_n}{L_n} \frac{(V_{DD} - 2V_t)^2}{\left(1 + \sqrt{\frac{\mu_n W_n / L_n}{\mu_p W_p / L_p}}\right)^2} \quad (13)$$

maksimalna struja iz izvora napajanja u prelaznoj oblasti, a  $t_r$  i  $t_f$  su vremena porasta i pada ulaznog signala.

U pretpragovskom režimu snaga disipacije prelaza određena je sa [6]:

$$P_{dsub} = 2n\phi_t I_{ddsub} (t_r + t_f) f, \quad (14)$$

gdje je  $I_{ddsub}$  određena sa (4), a  $f$  je frekvencija ulaznog signala.

Najčešće se dinamička snaga disipacije izračunava (procjenjuje) u odnosu na frekvenciju takta. Naime, veći broj logičkih kola ne mijenja stanje tokom svakog ciklusa takt signala. Zbog toga, izraze za dinamičku potrošnju treba pomnožiti sa faktorom aktivnosti  $\alpha \leq 1$ , u odnosu na frekvenciju takta, tako da su:

$$P_{dd} = \alpha f_c C_L V_{dd}^2 + \alpha f_c \frac{I_{ddM}}{3} (V_{dd} - V_t) (t_r + t_f) \quad (15)$$

$$P_{dsub} = \alpha f_c C_L V_{dsub}^2 + \alpha f_c 2n\phi_t I_{ddMsub} (t_r + t_f).$$

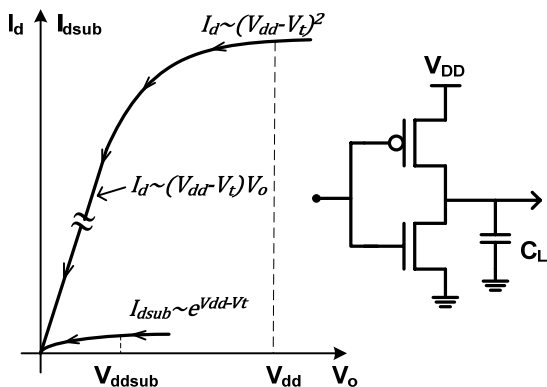
Proizvod  $\alpha f_c$ , gdje je  $f_c$  frekvencija takt signala, je aktivnost kola koja ukazuje na broj promjene njegovih stanja. Najčešće je faktor aktivnosti  $\alpha < 0.5$ . Empirijski je utvrđeno da statička CMOS digitalna kola imaju  $\alpha \approx 0.1$  [12].

#### IV. TEHNIKE PROJEKTOVANJA ZA MALU POTROŠNJU

Optimalni projekat podrazumijeva kompromis između potrebne brzine rada i što manje potrošnje električne energije, o čemu se vodi računa na svim nivoima projektovanja (sl. 2). U ovom dijelu ćemo govoriti o optimalnom projektu s obzirom na izbor napona praga  $V_t$  tranzistora i napona napajanja sistema  $V_{dd}$ .

U prethodnom poglavlju smo vidjeli da se i statička i dinamička potrošnja smanjuju sa smanjenjem  $V_{dd}$ . Dinamička prekidačka potrošnja, u oba režima, proporcionalna je sa  $V_{dd}^2$ . Potrošnja prelaza u režimu jake inverzije  $P_{dp} \sim (V_{dd} - V_t)^3$ , a u pretpragovskom režimu  $P_{dpsub} \sim e^{V_{dd}/2 - V_t}$ . Statičke struje, takođe, zavise od napona napajanja (tab. 1 i tab. 2) tako da je i  $P_S \sim V_{dd}^n$ , gdje je većinom  $1 < n < 2$ .

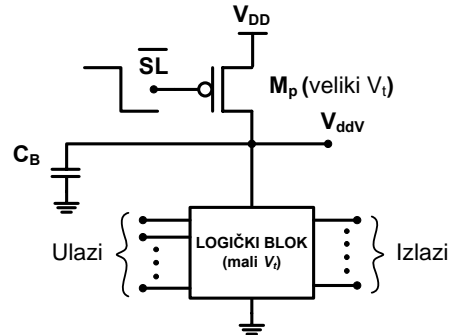
Logičko kašnjenje, takođe, zavisi od  $V_{dd}$  i  $V_t$ . Naime, u režimu jake inverzije struja punjenja/praznjenja kondenzatora  $I_d \sim (V_{dd} - V_t)^2$  u zasićenoj, a  $I_d \sim (V_{dd} - V_t)V_o$  u nezasićenoj oblasti (sl. 11). U pretpragovskom režimu ta struja je  $I_{dsub} \sim e^{V_{dd} - V_t} = e^{-(V_t - V_{dd})}$  (sl. 11). Prema tome, smanjivanjem  $V_{dd}$  povećava se logičko kašnjenje u oba režima. Da bi zadržali logičko kašnjenje pri smanjenom  $V_{dd}$  trebalo bi smanjiti napon praga  $V_t$ . U jednom dužem periodu, scenario povećanja ukupnih performansi CMOS digitalnih kola i sistema provodio se u procesu smanjivanja dimenzija elemenata, smanjivanje  $V_{dd}$  i smanjivanje  $V_t$ . Međutim, smanjivanje  $V_t$  ispod 200 mV dovodi do eksponencijalnog povećanja pretpragovske struje (jed. 4). To bi moglo dovesti do toga da statička potrošnja bude veća od dinamičke. Zbog toga bi se moglo reći da je smanjenje napona praga ograničeno na približno  $V_{tmin} = 200$  mV.



Slika 11. Struje praznjenja kondenzatora  $C_L$  u režimu jake i slabe inverzije

#### A. Multi $V_{dd}/V_{th}$ tehnike optimizacije

Kompromis između male potrošnje i dovoljne brzine može da bude riješen primjenom tranzistora sa različitim naponima praga. To je tzv. multipragovska tehnika ili MTCMOS [13, 14]. Kritični putevi signala projektuju se logikom sa manjim naponima praga. Tamo gdje kašnjenje nije kritično koriste se tranzistori sa većim  $V_t$ . Drugi pristup sa MTCMOS tehnikom baziran je na tzv. gejtovanom napajanju (sl. 12). U statičkim stanjima, odnosno u vrijeme neaktivnosti logike (*Standby Mode*) napon napajanja se isključuje tranzistorima sa velikim naponima praga. Na taj način se obezbjeđuje mala pretpragovska struja, a time i statička potrošnja. Tranzistori logičkog bloka su projektovani sa malim  $V_t$  tako da je sačuvana potrebna brzina.

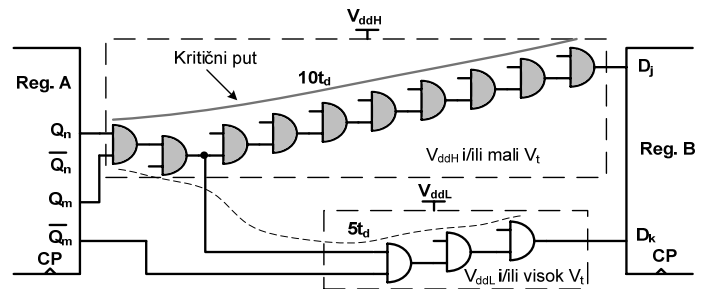


Slika 12. Blok šema MTCMOS sa gejtovanjem napona napajanja

Kontrolnim signalom „buđenja“  $\overline{SL}$  (engl. *Sleep*), preko pMOS tranzistora sa visokim  $V_t$ , kontroliše se veza preko pravog  $V_{dd}$  i virtuelnog napajanja  $V_{ddv}$ . Dok je  $M_p$  isključen, kondenzator  $C_B$  održava virtuelno napajanje logičkog bloka.

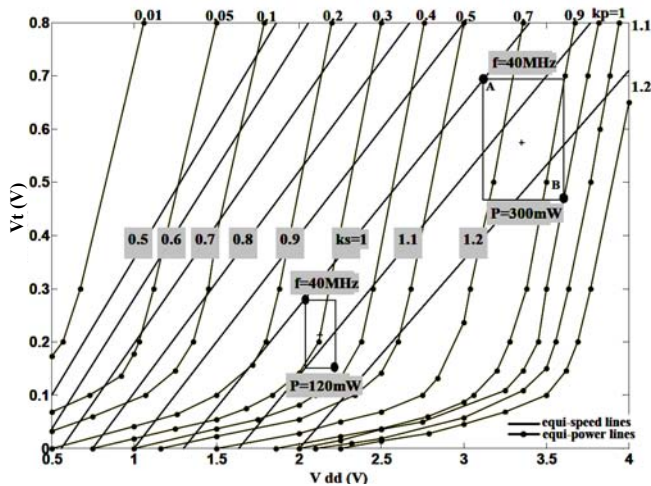
Smanjivanje curećih struja neaktivnih komponenti može da se ostvari nMOS tranzistorom između logičkog bloka i mase ili istovremeno i sa pMOS i sa nMOS tranzistorima [14]. Stanje pMOS tada se kontroliše signalom  $\overline{SL}$ , a nMOS sa  $SL$ .

Odnos potrošnje i kašnjenja, odnosno brzine procesiranja podataka, optimizuje se i konfiguracijama sa više napona napajanja. Logička kola na putevima sa kritičnim kašnjenjem napajaju se većim  $V_{ddH}$ , a kola čije kašnjenje nije kritično sa manjim naponom  $V_{ddL}$  (sl. 13). Broj naponskih nivoa može da bude veći, ali se pokazalo da se najveći efekat postiže sa dva napona napajanja [15]. Treba naglasiti da se prelazak sa logike sa  $V_{ddL}$  na logiku sa  $V_{ddH}$  napajanjem ostvaruje preko logičkih konvertora naponskog nivoa. I ovo ograničava broj nivoa napajanja.



Slika 13. Veza dva registra sa različitim putevima kašnjenja

Često se u istom digitalnom sistemu koriste tehnike sa više napona napajanja i više napona pragova – multi  $V_{dd}/V_t$  tehnike [15, 16]. Optimalna radna tačka ( $V_{ddopt}$ ,  $V_{top}$ ) određuje se u  $V_{dd}-V_t$  ravni sa linijama konstantne potrošnje (engl. *equi-power*) i brzine (engl. *equi-speed*) (sl. 14). Ove linije zavise od tehnološkog procesa i arhitekture projekta.



Slika 14.  $V_{dd}-V_t$  ravan sa linijama konstantne potrošnje i kašnjenja [4]

Izbor optimalnog para ( $V_{ddopt}$ ,  $V_{top}$ ) zavisi od ograničenja tehnološkog procesa. Neka su ta ograničenja na primjer:  $V_{dd}=3.3 \text{ V} \pm 10\%$  i  $V_t=0.55 \text{ V} \pm 0.1$ . Oblast dozvoljenih vrijednosti za ova ograničenja predstavljena je većim pravougaonikom na sl. 14. Za sve vrijednosti  $V_{dd}$  i  $V_t$  unutar ovog pravougaonika sistem zadovoljava sve zadate specifikacije. U uglu A sistem će imati najveće kašnjenje, a u uglu B najveću potrošnju električne energije. Linije konstantne brzine i potrošnje normalizovane su u tačkama A i B normalizacionim faktorima  $k_s$  i  $k_p$ , redom. Na osnovu toga određujemo uticaj promjene položaja i veličine pravougaonika u ravni  $V_{dd}-V_t$  na potrošnju i brzinu sistema. Tako, na primjer, za manji pravougaonik na sl. 14 definisan ograničenjima  $V_{dd}=2.1 \text{ V} \pm 5\%$  i  $V_t=0.18 \text{ V} \pm 0.05$ , potrošnja je manja za 60% ( $k_p=0.4$ ) pri istoj brzini rada ( $k_s=1$ ).

Od svih mogućih kombinacija  $V_{dd}-V_t$  koje zadovoljavaju zadata vremenska ograničenja, samo jedna kombinacija ( $V_{ddopt}$ ,  $V_{top}$ ) garantuje minimalnu potrošnju. Grupa autora u [17] predložili su jednačinu, baziranu na alfa modelu tranzistora, za proračun ukupne potrošnje sistema sa optimalnim parom ( $V_{ddopt}$ ,  $V_{top}$ ). Treba, međutim, naglasiti da je kontinualna promjena  $V_{dd}$  i  $V_t$  nepraktična. Projektanti, najčešće, mogu da biraju između nekoliko diskretnih vrijednosti ( $V_{dd}$ ,  $V_t$ ). Primjenom multi  $V_{dd}$  tehnike dinamička potrošnja može da se smanji od 10, pa do 50%, dok se primjenom multi  $V_t$  tehnike statička potrošnja može smanjiti za 50 pa čak i do 80% [4]. U radu [15] dat je optimalan odnos  $V_{dd}$  i  $V_t$  (tab. III).

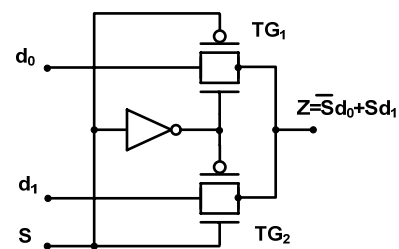
TABELA III. OPTIMALAN ODNOS  $V_{dd}1 V_t$  S OZIROM NA POTROŠNJU [15]

$V_{ddi}$ , $i=1,2,3,4$ , $V_t=const$	
$(V_{dd1}, V_{dd2})$ :	$\frac{V_{dd2}}{V_{dd1}} = 0.5 + 0.5 \frac{V_t}{V_{dd1}}$
$(V_{dd1}, V_{dd2}, V_{dd3})$ :	$\frac{V_{dd2}}{V_{dd1}} = \frac{V_{dd3}}{V_{dd2}} = 0.6 + 0.4 \frac{V_t}{V_{dd1}}$
$(V_{dd1}, V_{dd2}, V_{dd3}, V_{dd4})$ :	$\frac{V_{dd2}}{V_{dd1}} = \frac{V_{dd3}}{V_{dd2}} = \frac{V_{dd4}}{V_{dd3}} = 0.7 + 0.3 \frac{V_t}{V_{dd1}}$
$V_{ti}$ , $i=1,2,3,4$ , $V_{dd}=const$	
$(V_{t1}, V_{t2})$ :	$V_{t2} = 0.1V_{dd} + V_{t1}$
$(V_{t1}, V_{t2}, V_{t3})$ :	$V_{t2} = 0.06V_{dd} + V_{t1}$ $V_{t3} = 0.07V_{dd} + V_{t2}$
$(V_{t1}, V_{t2}, V_{t3}, V_{t4})$ :	$V_{t2} = 0.04V_{dd} + V_{t1}$ $V_{t3} = 0.05V_{dd} + V_{t2}$ $V_{t4} = 0.06V_{dd} + V_{t3}$

## V. CMOS TEHNOLOGIJE ZA MALU POTROŠNJU

Standardna CMOS kombinaciona logika zahtijeva par CMOS tranzistora po svakom ulazu. Od početka devedesetih godina prošlog vijeka do danas razvijeno je niz alternativnih topologija sa manjim brojem tranzistora. Osim povećanja stepena integracije funkcija u VLSI integrisanom kolu to je dovelo do smanjenja potrošnje ili povećanja brzine pri istoj potrošnji.

Među prvim alternativnim CMOS digitalnim logikama je prenosna logika. Za razliku od standardne logike kod koje je osnovna ćelija inverter, u prenosnoj logici je to transmisioni (prenosni) gejt. Dok su u standardnim logičkim kolima izlazni signali odvojeni od ulaznih, ovdje se ulazni signali preko prenosnog gejta prenose na izlaz. Otuda i potiče naziv prenosna logika. Na sl. 15 prikazan je multiplexor 2/1 (MUX 2/1) u prenosnoj logici. Pošto su za upravljanje prenosnim gejtom potrebni komplementni signali, sastavni dio mreža su i invertori. MUX 2/1 na sl. 15 sastoji se od samo tri para CMOS tranzistora dok je u standardnoj logici potrebno sedam parova.

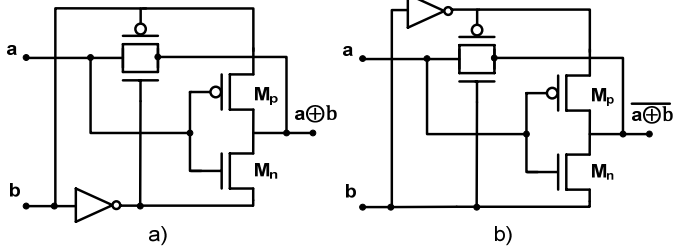


Slika 15. MUX 2/1 u prenosnoj logici

Prenosna logika se može dodatno pojednostaviti primjenom signala na linije napajanja invertora kao što je pokazano na primjeru sinteze XILI i XNILI kola na sl. 16. Invertori sa parom tranzistora ( $M_n$ ,  $M_p$ ) napajaju se signalima  $b$  i  $\bar{b}$ .

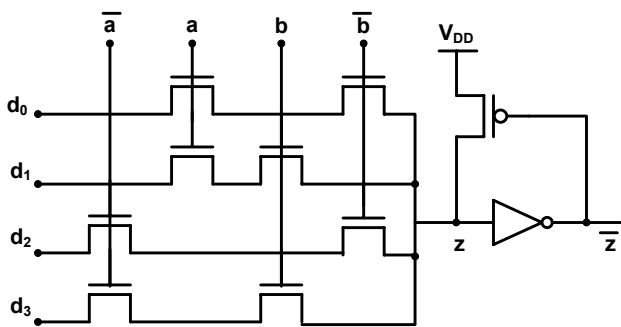
Pri sintezi logičkih funkcija u prenosnoj logici mora se voditi računa da između izlaza i makar jednog od ulaza postoji

kontura male otpornosti. U protivnom, izlaz bi bio u stanju visoke impedanse sa nedefiniranim logičkim nivoom.



Slika 16. XILI (a) i XNILI (b) kola

Kao prenosni gejt, umjesto para CMOS, može da se koristi samo nMOS tranzistor (sl. 17). Dvostrukim smanjenjem broja tranzistora smanjeni su statička potrošnja i parazitne kapacitivnosti i znatno povećan stepen integracije funkcija u VLSI kolu.

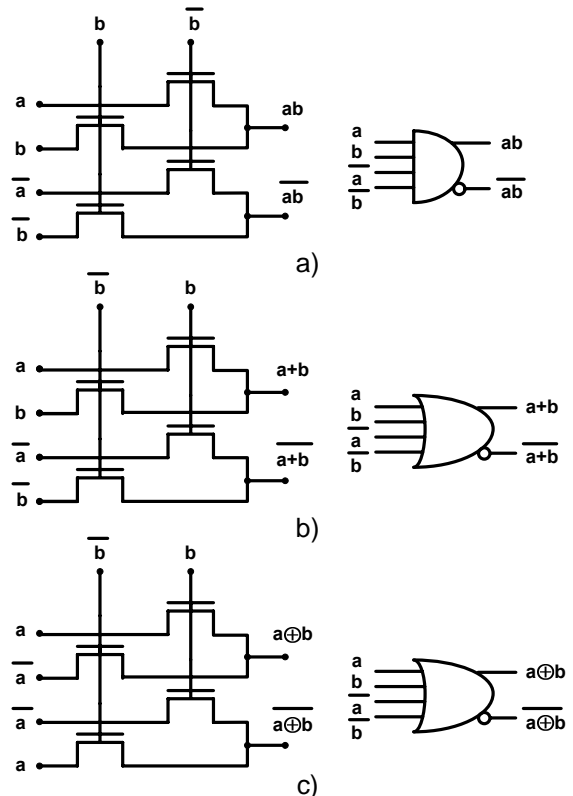


Slika 17. MUX 4/1 u prenosnoj nMOS logici sa pravim i komplementnim izlazom

Problem sa nMOS prenosnom logikom je u tome što je maksimalna promjena napona na jednom nMOS tranzistoru  $V_{dd}-V_{in}$  i manja je za napon praga  $V_{in}$  u odnosu na prenosni CMOS gejt. To ograničava broj serijskih tranzistora. Zato se koriste nMOS tranzistori sa veoma malim ili nultim naponom praga, pa govorimo o NTL (engl. *Non Threshold Logic*) ili ZTT (engl. *Zero Threshold Logic*) logici. Problem ovih logika je u maloj neosjetljivosti na smetnje.

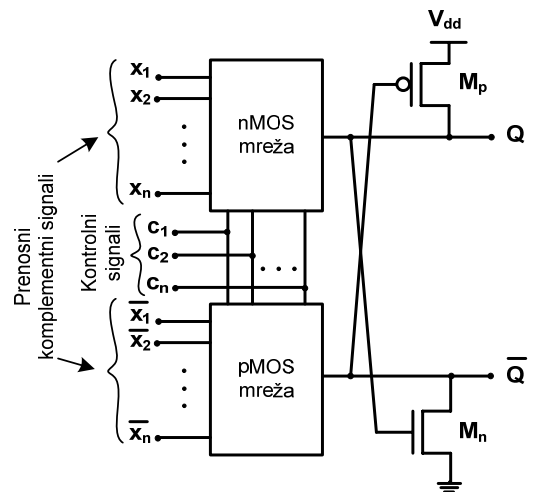
Smanjenje logičke amplitude u nMOS prenosnoj logici posebno predstavlja problem kada se nMOS mreža završava invertorom. Taj problem se rješava pMOS tranzistorom  $M_p$  kao na sl. 17. Kada je  $\bar{z} = 0$   $M_p$  je uključen i pridržava napon na izlazu nMOS mreže na vrijednosti  $V_{dd}$ .

Tranzistori sa malim pragom koriste se i u tzv. komplementnoj prenosnoj logici – CPL (*Complementary Pass-Transistor Logic*). Ova logika sastoji se od dvije mreže nMOS tranzistora sa zajedničkim kontrolnim i komplementnim prenosnim signalima (sl. 18).



Slika 18. I/NI (a), ILI/NILI (b) i XILI/XNILI (c) logička kola u CPL

Puš-pul prenosna logika – PPL (*Push-pull Pass-transistor Logic*) [20] ima, takođe, dvije tranzistorske mreže: jednu nMOS, a drugu pMOS (sl. 19). Kontrolni ulazi su im zajednički, a prenosni ulazni signali komplementni. Tranzistorima  $M_p$  i  $M_n$  na izlazu logički nivou su restaurisani, redom, na  $V_{dd}$  i 0.



Slika 19. Blok šema PPL

U tab. IV date su uporedne karakteristike potpunog sabirača sa različitim logikama realizovani u  $0.8 \mu\text{m}$  tehnologiji pri  $V_{dd}=3.3 \text{ V}$ . Iako su pMOS tranzistori sporiji nego nMOS,



logičko kašnjenje PPL je približno kao CPL, ali je potrošnja znatno manja.

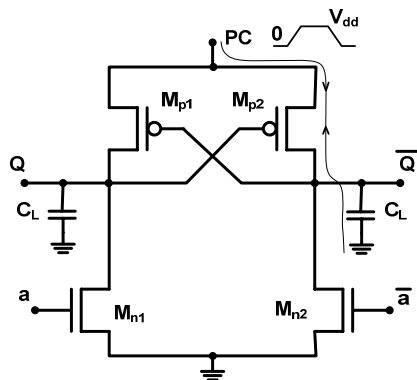
TABELA IV. UPOREDNE KARAKTERISTIKE POTPUNOG SABIRAČA [20]

Parametar	CMOS	CPL	PPL
Log. kašnjenje [ns]	1.57	0.84	0.83
Potrošnja [mW/100Hz]	1.90	1.33	0.42
$P \cdot t_d$ (normalizovano)	1	0.38	0.12

### A. Adijabatik logika

Termin "adijabatik" opisuje termodinamičke procese u kojima količina toplote ostaje stalna (nema razmjene energije sa okolinom). Adijabatik logika, u idealnom smislu, označava digitalna kola bez gubitka (disipacije) električne energije. U praksi to označava logiku sa minimalnom potrošnjom električne energije u toku promjene stanja. Adijabatik prekidačka promjena stanja je mehanizam punjenja/praznjenja koji izvoru vraća akumulisanu energiju u opteretnom kondenzatoru koristeći dinamički izvor napajanja. Dinamički izvor napajanja ili taktovano napajanje ima veoma važnu ulogu u adijabatik logici, jer osim napajanja obezbjeđuje vraćanje energije.

Danas postoje mnogobrojne tehnike adijabatske logike [21-26]. Proces vraćanja energije objasnićemo na primjeru ECRL (*Efficient Charge Recovery Logic*) invertora (sl. 20). Napajanje  $PC$  je trapeznim impulsima.

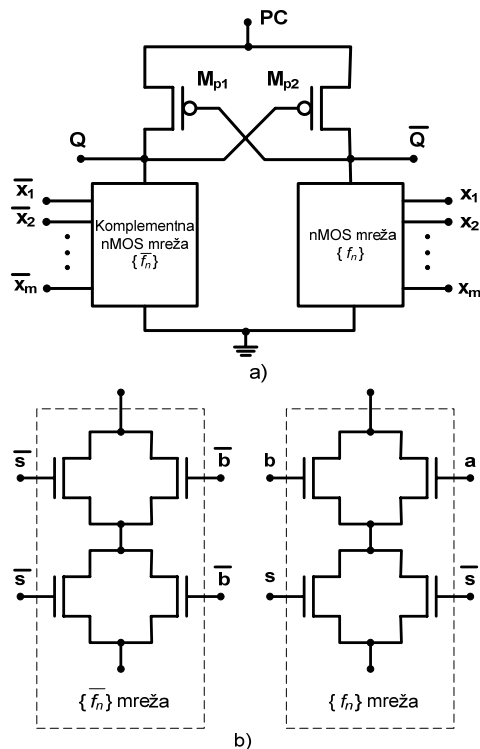


Slika 20. Šema ECRL invertora [21]

U početnom stanju  $a=1$ , pa je  $M_{n1}$  provodan ( $Q=0$ ). Dok  $PC$  raste od 0 do  $V_{dd}$ , preko provodnog  $M_{p2}$  izlaz  $\bar{Q}$  prati promjenu  $PC$ . Kada je  $PC$  dostigao vrijednost  $V_{dd}$ , tada je  $\bar{Q}=1$ , a  $Q=0$  i ta stanja su važeća logička stanja na ulazima narednog stepena. U toku pada  $PC$  od  $V_{dd}$  do nule desni kondenzator  $C_L$  se, preko provodnog  $M_{p2}$  i  $PC$ , prazni i tako izvoru  $PC$  vraća akumulisanu energiju.

Složenija ECRL kola posjeduju, umjesto tranzistora  $M_{n1}$  i  $M_{n2}$ , dvije komplementne nMOS tranzistorske mreže sa komplementnim pobudama (sl. 21). Komplementna mreža se dobija komplementovanjem ulaznih signala i zamjenom logičkih operatora u funkciji  $f_n$  nMOS mreže. Tako, na primjer,

funkcija  $f_n$  multipleksora 2/1 je  $f_n = (\bar{s}a + sb)$  pa je funkcija komplementne mreže  $\bar{f}_n = (s + \bar{a})(\bar{s} + \bar{a})$  (sl. 21b).



Slika 21. Blok šema složenog ECRL kola (a) i  $f_n$  i  $\bar{f}_n$  mreže MUX2/1 (b)

Od ostalih adijabatik topologija navodimo sljedeće: PAL (*Pass-transistor Adiabatic Logic*) [22], CPAL (*Complementary PAL*), PFAL (*Positive Feedback Adiabatic Logic*) [21] itd. Smanjena potrošnja električne energije, u odnosu na standardnu CMOS logiku, kreće se od 50 do 90%.

## VI. ZAKLJUČAK

Da bi digitalni sistem bio energetska efikasan projektant mora voditi računa o potrošnji električne energije kroz sve faze projektovanja, od funkcionalnog opisa, do tranzistorskog nivoa. Najveća ušteda električne energije (10 do 20 puta) uz najmanje vrijeme potrebno za analizu potrošnje postiže se na sistemskom nivou projektovanja. U pretpragovskom režimu potrošnja je za nekoliko redova veličine manja, ali je za približno toliko manja brzina rada u odnosu na režim jake inverzije. Sa smanjivanjem dimenzija tranzistora povećava se struja gejta  $I_g$  tranzistora. Njena zavisnost od napona napajanja je veoma izražena. Tako, na primjer, za tehnologiju 45 nm, pri  $V_{dd}=1.2$  V, struja gejta je oko 13 puta veća od pretpragovske struje.

Multi  $V_1/V_{dd}$  tehnike projektovanja obezbjeđuju smanjenje potrošnje i do nekoliko desetaka procenata pri istoj brzini rada. Optimalni su digitalni sistemi sa dva nivoa napona napajanja i/ili sa dva napona praga tranzistora. Sa dva napona praga, statička potrošnja može da bude smanjena i do 80%.

Alternativne topologije obezbjeđuju veći stepen integracije funkcija po jednom VLSI kolu, manju potrošnju i veću brzinu. Najširu primjenu, u projektovanju VLSI digitalnih kola, ima ima prenosna logika. Najveću uštedu električne energije (do 90%) obezbjeđuje adijabatik logika.

#### LITERATURA

- [1] Rahul Sarpeshkar, *Universal Principles for Ultra Low Power and Energy Efficient Design*, IEEE Trans. on Circuits and Systems – II: Express Briefs, vol. 59, No.4 April 2012.
- [2] S. Nassif, *Waiting for the Post-CMOS Godot*, Kegnot on Int. ACM Great Lakes Symposium on VLSI, May 2011.
- [3] J. Rabaey, *Low Power Design Essentials*, Springer-Verlag, New York, 2009.
- [4] Bojan Jovanović, *Analički model za procjenu dinamičke potrošnje aritmetičkih kola implementiranih na FPGA*, Doktorska disertacija, Elektronski fakultet Niš, 2013.
- [5] Yannis Tsvividis and Colin McAndrew: “Operating and Modeling of the MOS Transistor”, Oxford University Press, 2011.
- [6] Branko L. Dokić, Aleksandar Pajkanović: *Subthreshold Operated CMOS Analytic Model*, IX Symposium INDEL 2012, Banjaluka, November 2012.
- [7] Alice Wang, B. H. Calhoun and A. P. Chandrakasan: *Sub-Threshold Design for Ultra Low-Power Systems*, Springer, 2006.
- [8] Leyla Nazhandali, et al: *Energy Optimization of Subthreshold-Voltage Sensor Network Processes*, Proc. of the 32nd Int. Symp. on Computer Architecture (ISCA'05), 2005.
- [9] Vojin G. Oklobdžija and R. K. Krishnamurty: *High Performance Energy-Efficient Microprocessor Design*, Springer, 2006.
- [10] Ashotush Mishra and R. A. Mishra: *Leakage Current Minimization in Dynamic Circuits Using Sleep Switch*, 978-1-4673-0455-9/12 © 2012 IEEE.
- [11] Branko L. Dokić: “Integrirana kola – digitalna i analogna”, Glas Srpski, 1999.
- [12] Predrag M. Petković: „Projektovanje CMOS integriranih kola sa mešovitim signalima“, Elektronski fakultet Niš, 2009.
- [13] Mohab Amis, S. Areibi and M. Elmasry: *Design and Optimisation of Multithreshold CMOS (MTCMOS) Circuits*, IEEE Trans. on Comp.-Aided Des. of Int. Circ. and Systems, Vol. 22, No 10, October 2003.
- [14] Satoshi Shigematsu et al: *A 1-V High-Speed MTCMOS Circuit Scheme for Power-Down Application Circuits*, IEEE JSSC, Vol. 32 No. 6, June 1997.
- [15] M. Hamada et al, *Utilizing supplies timing for power reduction*, Proc. of the IEEE CICC, pp 89-92, May 2001.
- [16] C. Pignet et al, *Static and Dynamic Power Reduction by Architecture Selection*, PATMOS, pp 659-668, July 2006.
- [17] C. Shuster et al, *Architectural and Technology Influence on the Optimal Total Power Consumption*, DATE, pp 13-19, 2006.
- [18] Benton H. Calhoun et al: *Design Considerations for Ultra-Low Energy Wireless Microsensors Nodes*, IEEE Trans. on Computer, Vol. 54, No 54, No.6, June 2005.
- [19] Vojin G. Oklobdžija: *Diferential and Pass-Transistor CMOS Logic for High Performance Systems*, Microelectronics Journal 29/1998, pp 679-688.
- [20] Woo-Hynn Paik et al: *Low Power Logic Design Using Push-Pull Pass-Transistor Logics*, Int. J. Electronics, 1998, vol. 84, No. 5, pp 467-478
- [21] Rakesh K. Yadav et al: *Adiabatic Technique for Energy Efficient Logic Circuits Design*, Proc. of ICETECT 2011., pp 776-780.
- [22] Vojin G. Oklobdžija et al: *Pass-Transistor Adiabatic Logic Using Single Power-Clock Supply*, IEEE Trans. on Circ. and Sys-II: Analog and Digital Sig. Proc., Vol. 44, No. 10, October 1997.
- [23] Atul K. Maurya and G. Kumar: *Energy Efficient Adiabatic Logic for Low Power VLSI Applications*, IEEE Int. Conf. on Communication Systems and Network Technologies 2011, pp. 460-463.
- [24] Jiaping Hn, QiChen: *Modelling and Nier-Threshold Computing of Power-Gating Adiabatic Logic Circuits*, Electrical Review, ISSN 0033-2097, R. 88 NR76/2012, pp 277-280.
- [25] D. Marković et al: *Ultralow-Power Design in Wear-Threshold Region*, IEEE JSSC, 2010 pp 237-252
- [26] A. Pajkanović, T. J. Kazmievski, B. L. Dokić: *Adiabatic Digital Circuits Based on Sub-threshold Operation of Pass-transistor and Slowly Ramping Signals*, Proc. SSSS 20/2, Niš 2012, pp 48-53.
- [27] Kiyoo Itoh: *A Historical Review of Low-Power, Low-Voltage Digital MOS Circuits Development*, IEEE Solid-State Circ. Magazine, 4. February 2013., pp 27-39.
- [28] Tsugio Makimoto: *The Age of the Digital Nomad-Impact of CMOS innovation*, IEEE Solid-State Circ. Magazine, 4. Feb. 2013. pp 40-47.

#### ABSTRACT

Autonomy of power supply used in portable devices directly depends on energy efficiency of digital logic. This means that digital system, beside high processing power and very complex functionality, must have very low power consumption. Power consumption depends on many factors: system architecture, technology, basic cells topology and speed, and accuracy of assigned tasks. It is expected that CMOS technology will be the best choice for a long time. Part of this paper is dedicated to sub-threshold operating mode of CMOS digital circuits and their comparison with corresponding circuits that operates in strong inversion mode. It was shown that there is a full analogy in behavior of digital circuits in these two operating modes. Therefore, synthesis of digital circuits is the same for both strong and weak operating mode. Analysis of influence of technology, MOS transistor threshold voltage ( $V_t$ ) and power supply voltage ( $V_{dd}$ ) on digital circuit power consumption and speed for both operating modes was given. It was shown that optimal power consumption (minimum power consumption for given speed) depends on optimal choice of threshold and power supply voltages. Multi  $V_{dd}/V_t$  techniques were analyzed as well. Also, analysis of alternative logical circuits topologies – pass logic (PL), complementary pass logic (CPL), push-pull pass logic (PPL), and adiabatic logic – was given. As shown, adiabatic logic is the most energy efficient.

**Keywords:** Topology, technology, power consumption, logic delay, CMOS, strong and weak inversion, static and dynamic characteristics, pass logic, adiabatic logic, PL, CPL, PPL, ECRL.

#### ENERGY EFFICIENT CMOS DIGITAL LOGIC

Branko L. Dokić