

# PROJEKTOVANJE I IMPLEMENTACIJA UGRAĐENOG MIKROPROCESORSKOG SISTEMA PRIMJENOM PROGRAMABILNIH LOGIČKIH KOMPONENATA DESIGN AND IMPLEMENTATION OF EMBEDDED MICROPROCESSOR SYSTEM USING PROGRAMMABLE LOGIC DEVICES

Dražen Pašalić, Zlatko Bundalo, *Elektrotehnički fakultet, Banja Luka*  
Dušanka Bundalo, *UniCredit Bank, Banja Luka*

**Sadržaj** – U radu se razmatraju i opisuju mogućnost projektovanja i praktične implementacije ugrađenog mikroprocesorskog sistema korištenjem programabilnih logičkih komponenata FPGA tipa. Prvo se opisuju principi i postupak projektovanja i implementacije takvog sistema. Zatim se detaljno opisuje praktična realizacija konkretno projektovanog i implementiranog sistema za jednu specijalizovanu aplikaciju. Realizacija je bazirana na primjeni ugrađenog Nios II procesora implementiranog na Altera Cyclone II programibilnoj FPGA komponenti. U radu se opisuju hardverski sistem i daje prikaz dijela programa razvijenog za potpunu realizaciju konkretne aplikacije. Cjelokupna realizacija je softverski simulirana, a zatim praktično testirana na Altera DE1 razvojnoj ploči.

**Abstract** – Possibilities of design and practical implementation of embedded microprocessor system are considered and described in the paper. Principles and procedure of design and implementation of such system are described first. Then the practical realization of concrete designed and implemented system for one specific application is described in detail. The realization is based on application of embedded Nios II processor implemented on Altera Cyclone II programmable FPGA device. The hardware system is described and presentation of a part of software developed for complete realization of concrete application is given in the paper. The entire realization has been software simulated and then practically tested on Altera DE1 development board.

## 1. UVOD

Programabilne logičke komponente FPGA tipa (FPGA – Field Programmable Gate Array) predstavljaju dobru platformu za implementaciju različitih digitalnih sistema. U cilju postizanja dobrih performansi i fleksibilnosti konkretnih rješenja digitalnih sistema FPGA komponente se u praksi dosta mnogo koriste. Proizvođači za svoje FPGA komponente pružaju razvojna okruženja pomoću kojih je moguće razviti ugrađeni mikroprocesorski sistem za specifičnu primjenu. Altera svojim korisnicima pruža Quartus II razvojno okruženje koje posjeduje integrisani alat za projektovanje Nios II ugrađenog mikroprocesorskog sistema. Projektant FPGA ugrađenog mikroprocesorskog sistema ima potpunu fleksibilnost pri projektovanju takvog sistema i izboru bilo koje kombinacije periferija i interfejsa. Pored toga, projektant ima mogućnost razvijanja novih, jedinstvenih periferija (korisničke logike) koje se mogu povezati direktno na procesorsku magistralu [1].

Mnoge primjene zahtijevaju korištenje generatora pseudo slučajnih brojeva [2] (PRNG – Pseudo Random Number Generator). Posmatrani generator predstavlja algoritam inicijalizovan početnom vrijednosti. Interno stanje takvog generatora određuje sljedeći bit koji se generiše [3]. Posmatrani generatori generišu pseudoslučajne brojeve za

primjene kao što su zaštita podataka, testiranja integrisanih kola velikog stepena integracije, simulacija sistema, u raznim daljinskim upravljačima, itd. Najčešća realizacija generatora pseudo slučajnih sekvenci u digitalnim sistemima je pomoću pomjeračkog registra u linearnoj povratnoj vezi (LFSR – Linear Feedback Shift Register). Sekvenca generisana pomoću LFSR je pseudo slučajna što znači, da se nakon određenog (dugog) vremenskog perioda sekvence ponavljaju. Za dužinu LFSR od  $n$  bita moguće je postići maksimalni period  $2^n - 1$  [2]. Posmatrani registar dužine  $n$  koristi  $n$  D flip floпова i  $n+1$  povratnu vezu. U povratne veze se stavljaju XOR logička kola koja se koriste za realizaciju sume po modulu 2 svih povratnih petlji, a zatim se data suma šalje na ulaz LFSR.

U ovom radu se opisuju i razmatraju mogućnost i način projektovanja Altera Nios II ugrađenog mikroprocesorskog sistema pomoću Cyclone II FPGA komponente. Prvo se opisuje osnovna struktura i mogućnosti Cyclone II FPGA komponente. Zatim se opisuju osnovne mogućnosti Nios II procesora i način projektovanja Nios II ugrađenog mikroprocesorskog sistema pomoću kompajlera sistema na programabilnom čipu (SOPC – System On Programmable Chip) koji predstavlja integrisani alat Quartus II razvojno okruženja. Potom se opisuje praktična realizacija projektovanja Nios II ugrađenog mikroprocesorskog sistema za implementaciju 1024-bitnog LFSR generatora pseudo

slučajnih sekvenci. Projektovana realizacija je namijenjena za primjene daljinskog elektronskog identifikovanja i omogućavanja pristupa objektima i prostorima.

## 2. UGRAĐENI MIKROPROCESORSKI SISTEMI

Potrebe za naprednijim ugrađenim mikroprocesorskim sistemima za realizaciju kompleksnih zadataka dovele su do velike ekspanzije ove oblasti tehnologije. Ugrađeni mikroprocesorski sistemi predstavljaju kombinaciju hardvera i softvera projektovanih za realizaciju specifičnog zadatka. Takvi sistemi dio su nekog proizvoda ili većeg sistema i mogu biti posredno povezani sa eksternim svijetom preko senzora i aktuatora (npr. motora, prekidača). Dakle, dio su jednog uređaja i kontrolisani pomoću jednog ili više procesorskih jezgara ili mikrokontrolera. Osnovne karakteristike ugrađenih mikroprocesorskih sistema su:

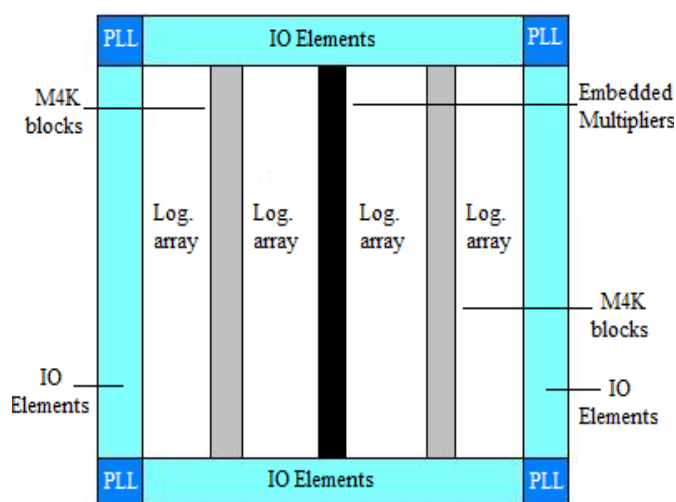
- obavljaju funkcije upravljanja i kontrole procesa, objekata i sl.,
- koriste minimalno korisnički interfejs,
- velika pouzdanost – nakon uključivanja moraju biti operacionalni sve do njihovog isključivanja,
- velika bezbjednost – u slučaju greške sistem ne smije izazvati bilo koji vid štete,
- sigurnost pouzdanih podataka,
- efikasnost,
- moraju zadovoljiti zahtjeve i ograničenja okruženja u kom funkcionišu (npr. temperaturni opseg, vlaga, vibracije, potrošnja energije, veličina, cijena, itd.).

Ugrađeni mikroprocesorski sistemi imaju vrlo važnu ulogu ne samo u potrošačkoj elektronici već i u primjenama gdje je bezbjednost veoma važna kao npr. željeznici, industriji za procesiranje i nadzor, transportima, medicinskim sistemima, automobilima, itd. [4]. Mnogo ugrađenih sistema se često nalazi u nekom većem sistemu gdje su međusobno umreženi u cilju interakcije. Ugrađeni sistemi su poznati i kao sistemi za rad u realnom vremenu (ili sistemi realnog vremena). Takvi sistemi na osnovu nekog događaja ili ulaza na svom izlazu daju rezultat u određenom vremenskom periodu. Dije se na hard sisteme realnog vremena i soft sisteme realnog vremena. Hard sistemi realnog vremena moraju specifični zadatak obaviti u određenom vremenskom periodu. Neizvršavanje specifičnog zadatka u datom vremenskom periodu ogleda se kao greška sistema. Soft sistemi realnog vremena nisu toliko striktni, neizvršavanje specifičnog zadatka u određenom vremenskom trenutku ne utiče mnogo na cjelokupne performanse sistema.

## 3. CYCLONE II FPGA FAMILIJA

Nakon uspjeha postignutog prvom generacijom Cyclone familije FPGA struktura, Altera kompanija je razvila Cyclone II familiju. Ova familija, u zavisnosti od serije, koristi do 68,416 logičkih elemenata (LE – Logic Element) i do 622 upotrebljivih ulazno-izlaznih pinova [5]. Ulazno-izlazni pinovi su smješteni u ulazno-izlazne elemente (IOE – Input

Output Element). Za implementiranje korisničke logike posmatrana FPGA posjeduje dvodimenzionalnu arhitekturu baziranu na vrstama i kolonama. Međuveze kolona i vrsta omogućuju prenos podataka ili informacija između blokova logičke mreže (LAB – Logic Array Block), ugrađene memorije i ugrađenih množača (ukoliko se koriste u dizajnu). Logička mreža sadrži LAB blokove. Svaki LAB blok posjeduje 16 logičkih elemenata. Ovi blokovi obezbjeđuju efikasnu implementaciju korisničkih logičkih funkcija. LAB blokovi su grupisani u vrste i kolone po čitavoj površini FPGA komponente. Kada je potrebno realizovati kompleksne operacije koriste se ugrađeni množači i tada se posmatrane operacije ne realizuju softverski. Ugrađena memorija koristi M4K blokove koji su raspoređeni po kolonama posmatranog FPGA kola. Korištenjem ugrađenih množača mogu se značajno poboljšati performanse, ali se ujedno troši više resursa FPGA komponente. Mogu se implementirati kao 9x9-bitni ili 18x18-bitni množači. Arhitektura Cyclone II FPGA familije prikazana je na sl.1 [5].



Sl.1 Arhitektura Cyclone II FPGA komponente

Blok za faznu sinhronizaciju (PLL – Phase Locked Loop) je sklop koji sadrži oscilator čija frekvencija je prilagođena tako da ne postoji fazna razlika između datog sklopa i ulaznog taktog impulsa [3]. Posmatrani PLL generiše takt impulse opšte namjene koji ima sljedeće karakteristike: dva ulaza za dovođenje takt impulsa različitih frekvencija, tri izlaza za upravljanje internom taktom mrežom FPGA komponente i dovođenja takt impulsa za eksterne komponente (na ploči), pomjeranje faze takt impulsa, kontrolni signali, i drugi. Cyclone II familija omogućuje korištenje jednog ili više ugrađenih Nios II procesora koji mogu biti dizajnirani u posmatranj FPGA komponenti u cilju postizanja koprociranja u kompleksnim zadacima. Korištenjem Cyclone II FPGA kola i Nios II ugrađenog procesora mogu se postići rješenja visokih performansi ugrađenog procesiranja. Prema tome, Cyclone II FPGA može biti idealno rješenje u mnogim primjenama kao što su npr. automatizacija, digitalna obrada slike (DIP) i obrada video signala, testiranja, itd [5].

## 4. NIOS II PROCESOR

Nios II procesor predstavlja softverski definisan mikroprocesor opšte namjene, razvijen od strane kompanije Altera. Procesorsko jezgro se instancira u okviru FPGA, i može da koristi preostale resurse FPGA za ubrzanje pojedinih segmenata softverski realizovanog algoritma. Nios II predstavlja 32-bitni tzv. "soft-core" procesor što podrazumijeva da procesor nije fizički implementiran (fiksiran) u hardveru. Naime, to je programabilan procesor koji se može smjestiti u bilo koju Altera FPGA komponentu. Prema tome, "soft" procesor nije zapravo uobičajeni procesor, to je programabilan hardver. Nios II je ujedno i konfigurabilan, što podrazumijeva da se mogu realizovati poboljšanje i nadogradnja softvera. Prednost "soft" procesora se ogleda u smanjenom riziku od zastarenja, jednostavna nadogradnja dizajna (procesor je softverski podržan), smanjenje kašnjenja između FPGA komponenti i procesora.

Nios II procesor posjeduje tri jezgra od kojih se jedno može definisati pri dodavanju procesora u Nios II procesorski sistem. Koje jezgro je potrebno definisati zavisi o samom dizajnu koji se kreira. Ukoliko se koriste kompleksne aplikacije potrebno je izabrati adekvatno jezgro u cilju postizanja najboljih performansi. Sva jezgra podržavaju sve Alterine FPGA familije (Arria GX, Stratix, Cyclone, itd.). Jezgra Nios II procesora su:

- Nios II/f - brzo jezgro
- Nios II/s - standardno jezgro
- Nios II/e - ekonomično jezgro

Na sl.2 su prikazana jezgra Nios II procesora sa njihovim osnovnim karakteristikama.

|                                | <input type="radio"/> Nios II/e | <input type="radio"/> Nios II/s        | <input checked="" type="radio"/> Nios II/f  |
|--------------------------------|---------------------------------|--|---|
| <b>Nios II</b>                 | RISC<br>32-bit                  | RISC<br>32-bit                         | RISC<br>32-bit  |
| Selector Guide                 |                                 | Instruction Cache<br>Branch Prediction | Instruction Cache<br>Branch Prediction  |
| Family: Cyclone II             |                                 | Hardware Multiply<br>Hardware Divide   | Hardware Multiply<br>Hardware Divide<br>Barrel Shifter<br>Data Cache<br>Dynamic Branch Prediction |
| f <sub>system</sub> : 50.0 MHz |                                 |  |   |
| cpuid: 0                       |                                 |  |   |
| Performance at 50.0 MHz        | Up to 5 DMIPS                   | Up to 25 DMIPS                         | Up to 51 DMIPS  |
| Logic Usage                    | 600-700 LEs                     | 1200-1400 LEs                          | 1400-1800 LEs   |
| Memory Usage                   | Two M4Ks (or equiv.)            | Two M4Ks + cache                       | Three M4Ks + cache  |

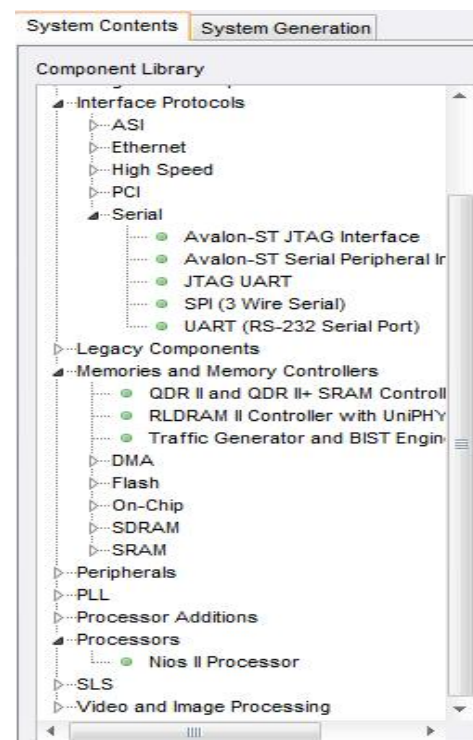
Sl.2 Jezgra Nios II procesora

Nios II brzo jezgro je dizajnirano s ciljem postizanja optimalnih performansi pri vremenski zahtjevnim i kompleksnim izvršavanjima instrukcija. Ovo jezgro je približno za 25% veće od standardnog Nios II jezgra [6]. Bolje performanse se postižu na račun veličine jezgra, više prostora i resursa FPGA komponente. Brzo jezgro je optimalno za aplikacije kritičnih performansi, kao i za aplikacije sa velikom količinom programa i (ili) podataka. Altera je razvila standardno jezgro kao jezgro male veličine pri čemu koristi manje resursa i logike FPGA strukture. Standardno jezgro koristi približno 20% manje resursa čipa u odnosu na Nios II/f jezgro, ali su performanse slabije za oko

40 % [6]. U cilju održavanja dobrih performansi ovo jezgro je razvijeno za aplikacije manje kompleksnosti, koje također mogu da sadrže velike količine programa i (ili) podataka. Naziv "ekonomično" proizilazi iz činjenice, da je ovo jezgro dizajnirano u cilju postizanja najmanje moguće veličine jezgra. Prema tome, ovo jezgro koristi manje resursa u odnosu na prethodna dva, ali brzina i performanse izvršavanja instrukcija su slabije u poređenju sa standardnim i brzim jezgrom. Ekonomično jezgro je otprilike za 50% manje u poređenju sa Nios II/s jezgrom [6]. Koristi se u aplikacijama kod kojih je zahtijevana minimalna potrošnja energije.

### 4.1 Projektovanje ugrađenog Nios II sistema

Nios II sistem predstavlja kombinaciju koju čini procesorsko jezgro, skup periferija na čipu, memorija na čipu i interfejs za eksterne memorije, svi implementirani na Altera komponenti. Dakle, Nios II sistem je mikrokontroler koji uključuje procesorsko jezgro, kombinaciju periferija i memoriju na čipu [7]. Projektovanje takvog Nios II sistema se realizuje pomoću kompajlera sistema na programabilnom čipu (SOPC – System on Programmable Chip). SOPC je sastavni dio Quartus II razvojnog okruženja koji korisnicima pruža Altera kompanija. Pomoću grafičkog korisničkog interfejsa SOPC kompajlera, moguće je dodati potrebne komponente (periferije, memoriju na čipu, interfejse za eksterne memorije i ulaze i izlaze, i druge) u cilju dizajniranja Nios II sistema za specifičnu primjenu. Na sl.3 ilustrovane su neke od komponenti koje je moguće dodati u procesorski sistem koji se dizajnira.



Sl.3 Neke od raspoložljivih komponenti pri projektovanju Nios II sistema

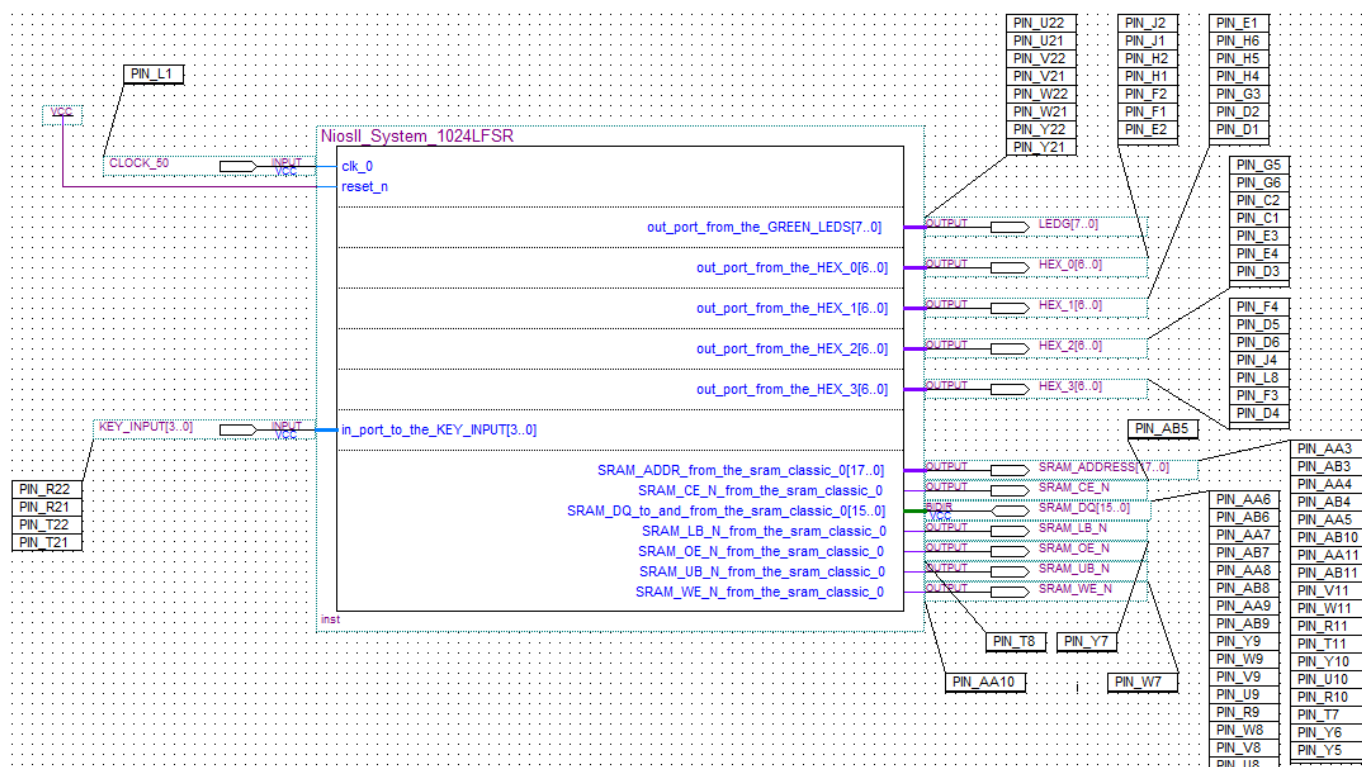
Koristeći SOPC kompajler moguće je dizajnirati Nios II mikroprocesorski sistem bez korištenja nekog od jezika za opis hardvera (HDL – Hardware Description Language). Pored toga, projektant može integrisati korisničku logiku u Nios II procesorski sistem unošenjem HDL dizajn fajla u SOPC kompajler. Dakle, SOPC omogućuje projektantu konfigurisanje Nios II procesora sa ostalim periferijama i memorijskim interfejsima, i automatski generiše hardverski dizajn koji se programira u FPGA komponentu [7, 8].

## 5. PRAKTIČNA REALIZACIJA UGRAĐENOG NIOS II MIKROPROCESORSKOG SISTEMA POMOĆU CYCLONE II FPGA KOMPONENTE

Ovdje se opisuje i ilustruje realizacija praktičnog projektovanja i implementacije Nios II ugrađenog mikroprocesorskog sistema za implementaciju 1024-bitnog LFSR generatora pseudo slučajnih sekvenci. Posmatrani 1024-bitni LFSR je dio sistema namijenjenog za primjene u oblastima daljinskog elektronskog identifikovanja i omogućavanja pristupa objektima ili prostorima. U takvom sistemu se koristi predajnik i prijemnik koji koriste isti pseudo slučajni generator za generisanje pseudo slučajne

sekvence. Predajnik šalje generisani digitalni niz (broj) ka prijemniku i koristi pseudo slučajni generator za generisanje sljedećeg niza koji se smješta u memoriju. Kada prijemnik dobije poslani digitalni niz, koristi isti pseudo slučajni generator za generisanje sljedećeg niza. Pored toga, prijemnik provjerava da li poslani niz odgovara očekivanom. Ukoliko odgovara, prijemnik tada izvršava željenu funkciju (omogućavanje ili onemogućavanje pristupa objektu, odnosno otključavanje ili zaključavanje vrata), a ukoliko ne odgovara tada ne realizuje datu funkciju. Prema tome, predajnik i prijemnik su uvijek sinhronizovani.

Projektovanje Nios II ugrađenog sistema za implementaciju 1024-bitnog LFSR generatora je izvršeno na Altera Cyclone II EP2C20 familiji FPGA. Dati FPGA nalazi se na Altera DE1 razvojnoj ploči koja je korištena pri realizaciji praktične aplikacije. Za projektovanje Nios II ugrađenog sistema korišten je alat SOPC kompajler koji je integrisan u Quartus II v9.1 Web Edition razvojnom okruženju. Nakon povezivanja Nios II ugrađenog sistema sa ostalom logikom FPGA komponente, realizovano je mapiranje pinova. Cjelokupni hardverski dizajn za implementaciju LFSR generatora prikazan je na sl. 4.



Sl.4 Hardverski dizajn za implementaciju LFSR generatora

Zbog dužine LFSR generatora pseudo slučajne sekvence, realizacija posmatranog generatora je izvršena softverski. Kao programska podrška za razvoj softverske aplikacije korišteno je Nios II integrisano razvojno okruženje (IDE – Integrated Development Environment).

Nios II IDE je softverski razvojni alat namijenjen razvoju softverskih aplikacija, koje se izvršavaju na kreiranom

sistemu. Pomoću posmatranog alata, moguće je kreirati novu softversku aplikaciju, konfigurisati softverski projekat, kompajlirati projekat, i realizovati druge značajne operacije. Kada se aplikacija napiše, smješta se u memoriju u kojoj će se izvršavati, tj. u memoriju u kojoj Nios II procesor očekuje da je pronađe. Nakon toga, procesor može pokretati aplikaciju [9].



Softverska aplikacija za LFSR generator pseudo slučajne sekvence je pisana pomoću C programskog jezika. Navedena aplikacija se pri njenom pokretanju smješta u SRAM memoriju. Na sl. 5 je prikazan dio programa posmatrane softverske aplikacije. Realizovani program je prvo u potpunosti simuliran i testiran na Altera DE1 razvojnoj ploči. Kako se ne radi o aplikaciji koja zahtijeva velike brzine već zahtijeva smanjenu potrošnju energije praktično je korišteno Nios II/e ekonomično jezgro.

```

        BinSeq[i]=0;
        i++;
    }
}
// Conversion of seed value into binary sequence
static void DecToBin(unsigned long Number)
{
    int i=1023;
    while (Number!= 0)
    {
        BinSeq[i] = Number % 2;
        Number /= 2;
        InitBinSeq[i]=BinSeq[i];
        i--;
    }
}
// Function to shift the LFSR one place to the right
static void ShiftRight ()
{
    int i=1023;
    // loop through in reverse order to shift one place to the right
    while(i>=1)
    {
        BinSeq[i]=BinSeq[i-1];
        i--;
    }
    BinSeq[i]=0;
}
// Function for generating an 1024bit sequence
static void GetRandomNumber()
{
    // The feedback bit is the XOR of the tapped bits
    BitSeq[0]=BinSeq[513]^BinSeq[631]^BinSeq[701]^BinSeq[786]^BinSeq[861]^
    int i=0;
    ShiftRight();
}

```

Sl.5 Dio softverske aplikacije za realizaciju LFSR

## 6. ZAKLJUČAK

Pomoću FPGA komponenti moguća je jednostavna implementacija ugrađenih mikroprocesorskih sistema u posmatrane komponente. Projektantu uz odgovarajuće softverske alate omogućen je brz, efikasan i jednostavan način projektovanja ugrađenih sistema i njihovo implementiranje u FPGA čip. Korištenje ugrađenih sistema u FPGA komponentama je značajno doprinijelo poboljšanju performansi, pouzdanosti i preciznosti što predstavlja osnovne prednosti ugrađenih sistema pri njihovom korištenju. Zahvaljujući neprekidnom razvoju, ugrađeni sistemi pružaju mnogo mogućnosti. Koristeći različite mogućnosti programiranja i konfiguracije hardvera projektant može razviti hardverski sistem kako za jednostavne aplikacije koje ne koriste mnogo hardverskih resursa tako i za kompleksne aplikacije kod kojih je neophodno koristiti više hardverskih

resursa. Praktično projektovanje i primjena Nios II ugrađenog mikroprocesorskog sistema pomoću Cyclone II FPGA komponente za implementaciju LFSR generatora pseudo slučajne sekvence, u suštini podrazumijeva dizajniranje hardverskog sistema pomoću Altera Quartus II razvojnog okruženja, i pisanje softverske aplikacije korištenjem programskog paketa Nios II IDE. Praktično realizovani i opisani ugrađeni mikroprocesorski sistem se koristi za generisanje pseudo slučajne sekvence za sistem za daljinsku elektronsku identifikaciju i pristup objektima ili prostorima. Može se koristiti i za mnoge druge primjene vezane za bezbjednost i sigurnost podataka i slično. Osnovne prednosti ove realizacije su velika sigurnost, male dimenzije, mala protošnja energije i niska cijena. Pomoću korištenih metoda i alata moguće je realizovati i druge, kompleksnije aplikacije koje koriste Nios II ugrađeni sistem i Altera FPGA komponente. Na taj način moguć je jeftin i brz način projektovanja ugrađenog mikroprocesorskog sistema za specifičnu primjenu

## LITERATURA

- [1] B. H. Fletcher, "FPGA Embedded Processors: Revealing True System Performance", *Embedded Systems Conference*, San Francisco, 2005.
- [2] D. Anguita, S. Rovetta, R. Zunino, "Compact, digital pseudo-random number generator", *IEEE Electronics Letters*, Vol. 31, No. 12, pp. 956-958, 1995.
- [3] P. Kohlbrenner, K. Gaj, "An Embedded True Random Number Generator for FPGAs", *FPGA '04 Conference*, Monterey, 2004.
- [4] D. Donhoffer, E. Schoitsch, "DECOS – Dependable Embedded Components and Systems", *ERCIM News Special Theme: Embedded Systems*, No.52, pp. 22, January 2003.
- [5] *Cyclone II Device Handbook*, Vol. 1, Altera Corp.
- [6] *Nios II Processor Reference Handbook*, Altera Corp.
- [7] J. Zhang, S. Zhai, J. Lin, "Interface between the Embedded Processor Nios II and the TDC Module and its Application", *CCSE Modern Applied Science*, Vol.1, No.2, pp. 27-28, July 2007.
- [8] *Quartus II Handbook*, "Volume 4: SOPC Builder", Altera Corp.
- [9] *Nios II Software Developer's Handbook*, Altera Corp.