

Mogućnosti primene FPGA za unapređenje industrijskih upravljačkih sistema

Laslo Tarjan, Ivana Šenk, Dragana Oros, Sabolč Horvat, Srđan Tegeltija

Katedra za mehatroniku, robotiku i automatizaciju, Departman za Industrijsko inženjerstvo i menadžment

Fakultet tehničkih nauka, Univerzitet u Novom Sadu

Novi Sad, Srbija

laci@uns.ac.rs; ivanas@uns.ac.rs; spawn@uns.ac.rs; horvat@uns.ac.rs; srkit@uns.ac.rs

Sadržaj—Unapređenje trenutnih industrijskih sistema kao i razvoj novih je svakodnevna potreba, kako bi se povećala efikasnost a samim tim i isplativost postrojenja. Razvoj automatizovanih sistema zahteva i razvoj upravljačkog sistema, pred kojim se postavljaju sve kompleksniji upravljački zadaci, kao i podrška za različite komunikacione protokole. Sve treba da se dešava u realnom vremenu, i upravljačka jedinica za vrlo kratko vreme treba da završi sve pomenute zadatke. Kombinacija FPGA tehnologije sa već korišćenim procesorima, znatno može skratiti vreme izvršavanja pojedinih upravljačkih algoritama, ostavljajući prostora za kombinaciju više različitih zadataka unutar jedne upravljačke jedinice. U radu je prikazan uporedni test izvršavanja operacija na FPGA i Real Time procesoru, koji ukazuje na opravdanost uvođenja FPGA tehnologije u industrijske upravljačke sisteme.

Ključne reči—FPGA; Real Time procesori; upravljanje; automatizacija;

I. UVOD

Razvoj automatizovanih sistema kao celina, između ostalog zahteva i razvoj upravljačkog sistema, tj. upravljačke jedinice koja će upravljati celim sistemom. Upravljački sistem može biti realizovan na više načina, npr. primenom programabilno logičkih kontrolera (*eng. Programmable logic controller - PLC*), embedid sistema (*eng. Embedded Systems*) baziranih na mikroprocesorima, industrijskog ili personalnog računara itd. Pred upravljačke sisteme se postavljaju sve kompleksniji zadaci kao što su: upravljanje tokom proizvodnog procesa, obrada kompleksnih senzorskih informacija (npr. obrada slike sa kamere – mašinska vizija), i upravljanje radom aktuatora (upravljanje i regulacija), i sve to u cilju veće integracije. Pored ovih osnovnih upravljačkih zadataka ne smeju se zaboraviti ni mnogobrojni komunikacioni protokoli koji se koriste u industriji radi umrežavanja podsistema u celinu, kao i za potrebe udaljenog nadzora i upravljanja. Upravljačka jedinica sve neophodne podatke treba da obradi u realnom vremenu, i da vrši komunikaciju sa ostatkom sistema.

Kombinacija FPGA (*eng. Field Programmable Gate Array*) jedinica sa već i do sada korišćenim procesorskim jedinicama, može ubrzati izvršavanje pojedinih upravljačkih algoritama, ostavljajući prostora za spajanje više različitih upravljačkih zadataka unutar jedne upravljačke jedinice.

Prilikom razvoja upravljačkog sistema koji treba da vrši upravljanje u realnom vremenu za brze sisteme, kao što je to slučaj kod npr. upravljanja elektromotornim pogonom, jedan od ograničavajućih faktora je vreme koje je na raspolaganju za obradu i analizu trenutnog stanja sistema na osnovu koje se formira nova upravljačka veličina na izlazu. Teoretski, digitalna akvizicija signala, koja opisuje trenutno stanje objekta upravljanja, treba da je sa bar dva puta većom učestanošću od najveće učestanosti merene veličine, dok je ova učestanost u praksi i par desetina puta veća. Potrebno je proračunati novu upravljačku veličinu između svake periode odabiranja merenog signala povratne sprege sa kojom se osvežava izlaz regulatora. DSP kontroleri (*eng. Digital Signal Processor*) su dizajnirani tako da odgovaraju većini zahteva obrade signala velike učestanosti. Rade na visokim učestanostima radnog takta i dizajnirani su tako da u najmanjem broju ciklusa urade zahtevane matematičke i logičke operacije. Pored osnovnog jakog procesorskog jezgra poseduju i neke osnovne periferije za komunikaciju kao i dovoljno memorije za operativni rad. Rad u paralelizmu se postiže primenom tehnologija sa više procesorskih jezgara, koji donekle simultano mogu obavljati zadatke. Pored DSP kontrolera koriste se i tzv. ril tajm kontroleri (*eng. Real Time Controllers*), koji su zapravo 32 bitni kontroleri tako dizajnirani da odgovaraju zahtevima upravljanja u realnom vremenu. Sporiji su od DSP procesora, ali obezbeđuju direktan pristup periferijama. Kao treća mogućnost za obradu digitalnog signala tokom upravljanja je direktna primena logičkih kapija. FPGA tehnologija omogućava direktnu primenu digitalnih logičkih kapija na jednostavan način, što doprinosi mogućnošću obrade signala u pravom paralelizmu. Uz kombinaciju sa kontrolerom koji podržava ril tajm koncept upravljanja znatno se može skratiti vreme izvršavanja upravljačkog algoritma [1].

Grupa autora [2] u svom radu opisuje istraživanje u kojem prikazuje komparativnu analizu tri arhitekture PID (*eng. Proportional Integral Differential*) regulatora realizovanog pomoću FPGA digitalnog kola. Implementacija je urađena u serijskoj, paralelnoj, i mešanoj arhitekturi. U svim slučajevima implementacije ovo hardversko rešenje PID regulatora daje brži odziv od softverskog rešenja na mikroprocesorima. Pomenuti PID regulator je primenljiv kod aplikacija u realnom vremenu kod kojih je vreme dobijanja upravljačkog signala presudni parametar.

U drugom radu [3], predstavljen je modularni PID regulator baziran na distribuiranoj aritmetici (*eng. Distributed Arithmetic*). Predstavljani regulator je realizovan uz pomoć komercijalno dostupnog FPGA čipa *Xilinx XC9572XL*. Krajnji proizvod je uspešno testiran i pored vrlo niske potrošnje struje pokazuje i odlične upravljačke karakteristike (performanse, i stabilnost).

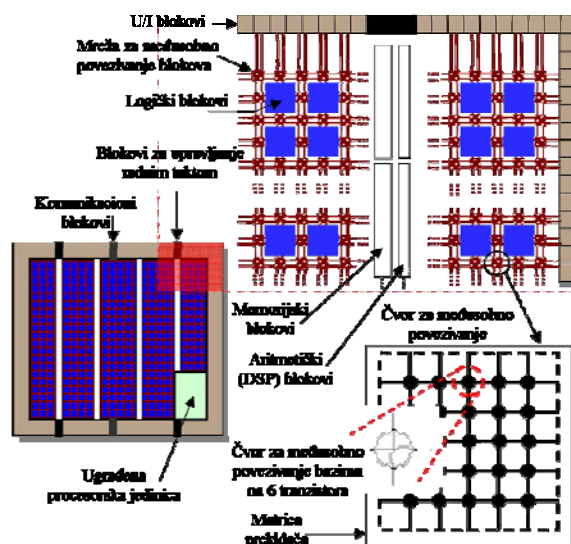
Brojni autori prikazuju [4]–[7] da je moguće primeniti FPGA tehnologiju za potrebe realizacije sofisticiranih upravljačkih sistema koji se mogu koristiti i u industrijskom okruženju, kao što su upravljanje raznim električnim aktuatorima, hemijskim i tehnološkim procesima, mašinska vizija koja se koristi kako u pozicioniranju i identifikaciji objekta, tako i prilikom provere kvaliteta proizvoda, itd. U svim pomenutim sistemima postoje mnogi signali (signali sa raznih senzora) koje treba prikupiti i analizirati u realnom vremenu, i na osnovu dobijenih rezultata formirati nove izlazne upravljačke veličine. Pored primarnog upravljačkog zadatka industrijski upravljački sistemi treba da obezbede i mogućnost priključivanja na industrijsku komunikacionu mrežu radi razmene informacija između više uređaja. Sve pomenuto treba da se odvija u realnom vremenu, pri tome ako uzmemo u obzir da su svi ti procesi veoma brzi a algoritmi zahtevni, dolazi se do zaključka da su potrebni veoma moćni procesori za obradu. Mogućnost izvršavanja upravljačkih algoritama u pravom paralelizmu, što omogućava FPGA, tj. programabilna mreža digitalnih kola, skraćuje ukupno vreme potrebno za obradu svih signala i procesa. Sa druge strane, zbog primene jednostavnih logičkih kapija unutar FPGA čipa, i sama potrošnja ovih digitalnih kola je mnogostruko manja u odnosu na klasične procesore, što doprinosi i energetske efikasnosti samih upravljačkih jedinica [8], [9].

II. RAZLIKA IZMEĐU SOFTVERSKO I HARDVERSKO REALIZACIJE UPRAVLJANJA U REALNOM VREMENU

Za realizaciju upravljačkog sistema za upravljanje u realnom vremenu, koji se može koristiti i za upravljanje industrijskim postrojenjima, treba pomenuti dve osnovne familije digitalnih upravljačkih tehnologija: DSP i FPGA tehnologiju [4].

Prva familija je bazirana na čisto softverskoj platformi. Predstavnicima ove familije su mikrokontroleri i DSP kontroleri. Ove komponente integrišu moćno procesorsko jezgro sa pratećim neophodnim periferijama potrebnim za upravljanje objektom upravljanja u realnom vremenu i komunikaciju sa ostalom industrijskom i neindustrijskom opremom. Razlika između mikrokontrolera [10] i DSP kontrolera [11] je u odnosu između procesorskog jezgra i periferija za upravljanje i komunikaciju.

Glavna prednost ovih komponenta je u razvijenosti i potvrđenosti tehnologije, kao i u kvalitetnim pratećim razvojnim alatima i relativno niskoj ceni. Glavni nedostaci su duži vremenski period za izvršavanje instrukcija za obradu podataka u odnosu na FPGA, nemogućnost izvršavanja upravljačkih algoritama u pravom paralelizmu, što dovodi do kašnjenja i do nemogućnosti pravog upravljanja u realnom vremenu.



Slika 1. Generička struktura FPGA [4]

Druga familija digitalnih tehnologija za implementaciju upravljanja u realnom vremenu je FPGA tehnologija [12]. Ova tehnologija može biti alternativa prethodno opisanim mikroprocesorskim i DSP tehnologijama. FPGA se sastoji od mreže predefinisanih elementarnih ćelija kao što su I i EXILI kapije (*eng. AND and XOR gates*), a kod današnjih verzija čak i od gotovih sofisticiranih funkcija kao što je neka kombinaciona mreža, dekođer, ili realizacija matematičke funkcije. Između ćelija je potpuno programabilan čvor za međusobno povezivanje (*eng. interconnection node*) od strane krajnjeg korisnika, što omogućava izgradnju hardverske logičke arhitekture u zavisnosti od potreba krajnje aplikacije. Generička struktura FPGA čipa prikazana je na Sl. 1, na kojoj se vide logički blokovi, mreža za međusobno povezivanje blokova (matrica prekidača) i konfigurabilni U/I blokovi. Osim toga, predstavljeno FPGA kolo sa Sl. 1 sadrži i memorijske blokove, aritmetičke DSP blokove, blokove za upravljanje radnim taktom, i komunikacione blokove [13].

U cilju optimizacije resursa FPGA na čipovima novijih generacija postoje i integrisani hardverski DSP blokovi (aritmetički blokovi) koji sadrže sabirače, množače, akumulatore i memorijske blokove. Takođe ovi FPGA čipovi poseduju i komunikacione module sa ulazno izlaznim baferima i podržavaju većinu najviše korišćenih protokola kao što su Ethernet, CAN, USB, PCI, SPI, i I2C.

Napredovanjem FPGA tehnologije omogućena je velika raznolikost jezgra, tako da današnji FPGA čipovi mogu da poseduju i procesorska jezgra i da omogućavaju obradu i analognih signala [14], [15].

III. UPOREĐENJE KARAKTERISTIKA REAL TIME PROCESORA I FPGA

U cilju dobijanja jasnije slike o razlikama u vremenu potrebnog za obradu osnovnih operacija koje se koriste prilikom svakog upravljanja izvršen je eksperiment u kojem je mereno vreme i broj taktova potrebno za izvršavanje osnovnih aritmetičkih i logičkih operacija. Merenje je urađeno na upravljačko akvizicionom modulu NI-sbRIO-9636,

proizvođača *National Instruments* koji je programiran i testiran uz pomoć *LabView* softverskog alata.

A. Korišćena oprema za merenje

Za merenje razlika u potrebnom vremenu za izvršavanje osnovnih aritmetičkih i logičkih operacija korišćen je akviziciono upravljački modul NI-sbRIO-9636 na kojem se nalaze:

- 32-bitni *Real Time procesor*: MPC5125YVN400, proizvođača *Freescale Semiconductor*, koji radi na radnom taktu od 400 MHz, i
- FPGA čip: XC6SLX45, proizvođača *Xilinx* iz serije *Spartan-6 LX45* koji radi na radnom taktu od 40 MHz.

Pored pomenute dve upravljačke jedinice, sbRIO-9636 sadrži 256 MB sistemske i 512 MB slobodne memorije, ethernet interfejs na 10 i 100 Mbps, RS-232 interfejs na maks. 230,4 kbps, RS-485 na maks. 460,8 kbps, CAN i USB 2.0 interfejs kao i konektor za SD i SDHC karticu.

Za upravljanje objektom upravljanja poseduje:

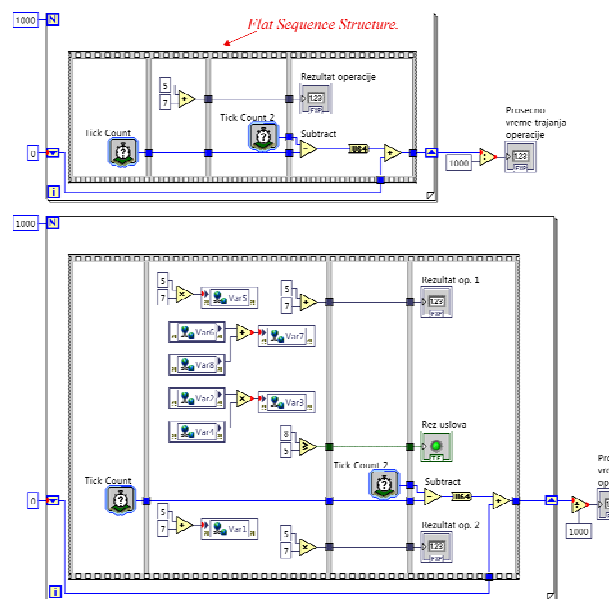
- 48 konfigurabilnih digitalnih ulaza / izlaza,
- 16 analognih ulaza: 16 bit, 200 kS/s,
- 4 analogna izlaza: 16 bit, 336 kS/s.

B. Tok merenja i rezultati

U cilju dobijanja razlike vremena i broja taktova potrebnog za izvršavanje osnovnih matematičkih i logičkih operacija na FPGA i *Real Time* procesoru mereno je vreme/takt izvršavanja sledećih operacija:

1. sabiranje dve konstante tipa *fixed point*
2. množenje dve konstante tipa *fixed point*
3. sabiranje dve konstante tipa *fixed point* u promenljivu istog tipa
4. množenje dve konstante tipa *fixed point* u promenljivu istog tipa
5. sabiranje dve promenljive tipa *fixed point* u promenljivu istog tipa
6. množenje dve promenljive tipa *fixed point* u promenljivu istog tipa
7. ispitivanje logičke relacije: $konst_1 \geq konst_2$

Da bi se dobilo tačno vreme i broj taktova potrebno za izvršavanje testiranih operacija korišćena su dva bloka *Tick Counter* (Sl. 2). Sa prvim je pročitano trenutno vreme (u drugom slučaju trenutni takt) pre nego što je pozvana testirana operacija, a sa drugim je očitano vreme (u drugom slučaju trenutni takt) nakon izvršene operacije, i na osnovu razlike ta dva vremena (takta) dobijeno je stvarno vreme (broj taktova) potrebno za izvršenje operacije. Da bi se dobilo što tačnije vreme, ista procedura je ponovljena 1000 puta uz pomoć *for* petlje i na kraju je uzeta aritmetička sredina merenja. *Tick Counter* blok je za merenje vremena bio podešen na mikro sekunde (μs) a za vreme merenja broja taktova na taktove (*ticks*). Da bi se kontrolisao tok izvršavanja operacija korišćena je struktura za kontrolu programa *Flat Sequence Structure* (Sl. 2). Na Sl. 2 prikazani su primeri blok dijagrama za izvršavanje operacije pojedinačno (Sl. 2 gore) i u paraleli (Sl. 2 dole).



Slika 2. Primeri blok dijagrama za izvršavanje operacija

Prilikom sastavljanja blok dijagrama za paralelno izvršavanje operacija vodilo se računa o tome da se u svakoj operaciji koristi druga promenljiva kako ne bi došlo do narušavanja paralelizma zbog nemogućnosti rada više istovremenih operacija sa jednom promenljivom.

Da bi uslovi bili isti za sva merenja iskorišćena je struktura za kontrolu programa *Flat Sequence Structure* da bi se sve varijante potrebne za merenje mogle smestiti u kod jedna posle druge. Prvo je vršeno merenje potrebnog vremena za izvršenje operacija pojedinačno, nakon toga merenje broja taktova za pojedinačne operacije, posle čega sve isto ali za paralelno izvršavanje operacija. Ista sekvenca je kompajlirana i izvršena i na *Real Time* kontroleru i na FPGA čipu, sa jednom malom izmenom, da u slučaju rada na FPGA čipu nije bila korišćena sistemska RAM memorija za smeštanje promenljive u memoriju, nego memorija na samom FPGA čipu, jer RAM memorija nije direktno dostupna za FPGA. Rezultati dobijenih vremena i broja taktova potrebnih za izvršavanje operacija dati su u Tabeli I. U kolonama za pojedinačna vremena/broj taktova data je i suma kako bi se lakše moglo uporediti sa vremenom/brojem taktova u slučaju paralelnog izvršavanja.

Uvidom u dobijene rezultate primećuje se da su sva vremena na strani FPGA, koji bez obzira na deset puta manji radni takt u odnosu na *Real Time* kontroler, uspeva za više stotina kraće vreme da završi i najosnovniju operaciju sabiranja i logičkog upoređivanja.

Prilikom paralelnog izvršavanja operacija na *Real Time* procesoru dobijaju se veća vremena i od sume svih vremena prilikom sekvencijalnog izvršavanja pojedinačnih operacija, što nije slučaj prilikom korišćenja FPGA, kod koje se dobija neznatno duže vreme nego što je vreme trajanja najduže operacije.

TABELA I. POTREBNO VREME I BROJ TAKTOVA ZA IZVRŠENJE OSNOVNIH OPERACIJA

Operacija	FPGA				Real Time			
	Pojedinačno		Paralelno		Pojedinačno		Paralelno	
	Vreme [μs]	Broj taktova	Vreme [μs]	Broj taktova	Vreme [μs]	Broj taktova	Vreme [μs]	Broj taktova
1	0.025	1	1.2	48	12	10508	4968	5018060
2	0.025	1			16	7056		
3	0.2	8			348	433604		
4	0.2	8			268	253384		
5	0.9	36			2400	2408244		
6	0.9	36			1588	1218296		
7	0.025	1			8	7776		
Σ	2.275	91			4640	4338868		

U tabeli II su date sve proporcije vremena i brojeva taktova potrebnih za izvršavanje operacija na Real Time procesoru u odnosu na FPGA, da bi se dobila jasnija slika o odnosu uštede. Proporcija je računata po formuli: (1) - za vremena u μs, i po (2) za broj taktova.

$$Vreme_{prop} = \frac{Vreme_{RealTime}}{Vreme_{FPGA}} \quad (1)$$

$$Taktova_{prop} = \frac{Taktova_{RealTime}}{Taktova_{FPGA}} \quad (2)$$

TABELA II. PRIKAZ PROPORCIJE REZULTATA REAL TIME / FPGA

Operacija	Proporcija RT/FPGA			
	Pojedinačno		Paralelno	
	Vreme [μs]	Broj taktova	Vreme [μs]	Broj taktova
1	480	10,508	4140	104542.9
2	640	7,056		
3	1,740	54,201		
4	1,340	31,673		
5	2,667	66,896		
6	1,764	33,842		
7	320	7,776		
Σ	2,040	47,680		

IV. ZAKLJUČAK

Cilj ovog rada bio je da se prikažu razlike između procesorskih upravljačkih jedinica kao što su mikroprocesori, mikrokontroleri, DSP, i hardverskih konfiguracija digitalnih mreža kao što je FPGA. Opisana je osnovna struktura obe platforme, a na osnovu rezultata merenja potrebnog vremena za izvršavanje pojedinih operacija prikazana je razlika u brzini rada. Naglasak je bio na potrebnom vremenu za izvršavanje osnovnih matematičkih i logičkih operacija čijom kombinacijom se dolazi do složenijih i zahtevnijih upravljačkih struktura. Prikazane su velike razlike u vremenu, u korist FPGA tehnologije, i na ovim osnovnim operacijama, što ne mora nužno značiti da je opravdano korišćenje ove tehnologije kod svih vrsta problema. U zavisnosti od tipa upravljačkog problema (problema rešavanja nekog zadatka) paralelizam

može da ubrza ceo proces obrade ali ne mora, tj. ne mora u dovoljnoj meri da bi bilo opravdano koristiti FPGA tehnologiju koja je ipak mnogo skuplja nego procesorska tehnologija.

Na osnovu dobijenih rezultata merenja može se zaključiti da je opravdano kompleksne upravljačke sisteme zasnivati na FPGA platformi. U daljem radu bi se težilo razvoju upravljačkog sistema na osnovu FPGA u kombinaciji sa procesorskom jedinicom, kod koje bi se na FPGA izvršavali osnovni zadaci obrade signala, regulacija i upravljanje brzim promenama, a na procesoru komunikacija, skladištenje podataka i upravljanje sporijim sistemima.

LITERATURA

- [1] L. Tarjan, I. Šenk, G. Ostojić, S. Stankovski, and L. Gogolak, "Application of FPGA Technology and a Real-Time Controller for Automatic Regulation of Rapidly Changing Variables," in Proceedings of the 2nd Regional Conference - Mechatronics in Practice and Education (MECHEDU 2013), 2013, pp. 125–128.
- [2] L. Samet, N. Masmoudi, M. W. Kharrat, and A. Kamoun, "A digital PID controller for real time and multi loop control: a comparative study," in Electronics, Circuits and Systems, 1998 IEEE International Conference on, 1998, vol. 1, pp. 291–296 vol. 1.
- [3] L. Venkatesan, A. D. Janarthanan, S. Gowrishankar, P. R. Aarthi, and G. S. Kumar, "IMPLEMENTATION OF FPGA BASED DA-PID CONTROLLER FOR TEMPERATURE SYSTEM," Int. J. Power Syst. Oper. Energy Manag., vol. 2, no. 3, pp. 39–43, 2012.
- [4] E. Monmasson, L. Idkhajine, M. N. Cirstea, I. Bahri, A. Tisan, and M. Naouar, "FPGAs in Industrial Control Applications," Industrial Informatics, IEEE Transactions on, vol. 7, no. 2, pp. 224–243, 2011.
- [5] E. J. Bueno, A. Hernandez, F. J. Rodriguez, C. Girón, R. Mateos, and S. Cobrecas, "A DSP- and FPGA-Based Industrial Control With High-Speed Communication Interfaces for Grid Converters Applied to Distributed Power Generation Systems," Industrial Electronics, IEEE Transactions on, vol. 56, no. 3, pp. 654–669, 2009.
- [6] E. Monmasson and M. N. Cirstea, "FPGA Design Methodology for Industrial Control Systems - A Review," Industrial Electronics, IEEE Transactions on, vol. 54, no. 4, pp. 1824–1842, 2007.
- [7] M. Curkovic, K. Jezernik, and R. Horvat, "FPGA-based predictive sliding mode controller of a three-phase inverter," IEEE Trans. Ind. Electron., vol. 60, no. 2, pp. 637–644, 2013.
- [8] J. Choi and H. Cha, "A Processor Power Management Scheme for Handheld Systems Considering Off-Chip Contributions," Industrial Informatics, IEEE Transactions on, vol. 6, no. 3, pp. 255–264, 2010.
- [9] F. Sun, H. Wang, F. Fu, and X. Li, "Survey of FPGA low power design," Intelligent Control and Information Processing (ICICIP), 2010 International Conference on, pp. 547–550, 2010.
- [10] A. V. Deshmukh, Microcontrollers, Theory and Applications. ser. The Companies, Computer Engineering Series, New York: Mac-Graw-Hill, 2007.
- [11] P. Lapsley, DSP Processor Fundamentals: Architecture and Features. Piscataway, NJ: IEEE Press, 1997.
- [12] W. H. Wolf, FPGA-Based System Design. Englewood Cliffs, NJ: Prentice-Hall, 2004.
- [13] J. J. Rodriguez-Andina, M. J. Moure, and M. D. Valdes, "Features, Design Tools, and Application Domains of FPGAs," Industrial Electronics, IEEE Transactions on, vol. 54, no. 4, pp. 1810–1823, 2007.
- [14] R. Obermaier and P. Gutwenger, "Model-based development of MPSoCs with support for early validation," Industrial Electronics, 2009. IECON '09. 35th Annual Conference of IEEE. pp. 2867–2873, 2009.
- [15] P. P. Pande, C. Grecu, M. Jones, A. Ivanov, and R. Saleh, "Performance evaluation and design trade-offs for network-on-chip interconnect architectures," Computers, IEEE Transactions on, vol. 54, no. 8, pp. 1025–1040, 2005.

ABSTRACT

The improvement of current industrial systems as well as the development of new ones is an everyday need, in order to increase efficiency and therefore the profitability of the plant. The development of automated systems requires, among other things, the development of control systems. The requirements for the new control systems include more and more complex control tasks, as well as support for multiple communication protocols. Everything has to be performed in real time, and the control unit has to be able to complete all these tasks in a short time period. The combination of FPGA technology with already used processors can significantly shorten the execution time of some control algorithms, leaving room for the

combination of multiple tasks within a single control unit. This paper presents a comparative test for the execution of operations on an FPGA and a Real Time processor, which justifies the introduction of FPGA technology in industrial control systems.

POSSIBILITIES FOR FPGA APPLICATIONS FOR IMPROVEMENT OF INDUSTRIAL CONTROL SYSTEMS

Laslo Tarjan, Ivana Šenk, Dragana Oros, Sabolč Horvat,
Srđan Tegeltija